

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月28日
Date of Application:

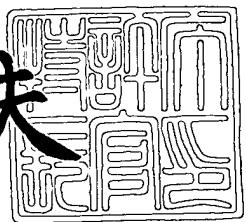
出願番号 特願2003-151278
Application Number:
[ST. 10/C] : [JP2003-151278]

出願人 シャープ株式会社
Applicant(s):

2003年10月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3084435

【書類名】 特許願

【整理番号】 03J01152

【提出日】 平成15年 5月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 赤川 正文

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 堀尾 正弘

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【先の出願に基づく優先権主張】

【出願番号】 特願2002-332808

【出願日】 平成14年11月15日

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

複数の配線が形成された導体層と、
該導体層の複数の配線と重なる領域に形成されたボンディングパッドとを備える半導体装置において、

上記配線の一部がボンディングパッドと接合されている一方、上記配線の他の部分とボンディングパッドとの間に絶縁性の保護膜が形成されており、

少なくともボンディングパッドと重なる領域内の上記配線の保護膜は、隣合う配線の保護膜と橋架していることを特徴とする半導体装置。

【請求項 2】

上記保護膜と上記ボンディングパッドとの間には、上記保護膜を覆うように絶縁膜が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

上記絶縁膜は、化学気相成長法によって形成された酸化膜であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

上記酸化膜は、ホウ素およびリンの少なくとも一方を含むことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

上記保護膜が橋架している領域では、上記保護膜が橋架することにより形成される空孔部からの飛散および噴出を抑制するように、上記隣合う配線の間隔である配線間隔の最小値 S_1 、および／または、上記橋架の長さ L_1 の調整が行われていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

上記調整は、上記配線間隔の最小値 S_1 が $1.8 \mu m$ 以上、上記橋架の長さ L_1 が $900 \mu m$ 以下、或いは上記配線間隔の最小値 S_1 が $1.2 \mu m$ 以上 $1.8 \mu m$ 未満かつ上記橋架の長さ L_1 が $1400 \mu m$ 以下となるように行われているこ

とを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

上記調整は、上記配線間隔の最小値 S_1 が $1.8 \mu m$ 以上、或いは上記橋架の長さ L_1 が $400 \mu m$ 以下となるように行われていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

上記調整は、上記ボンディングパッドと重なる領域以外の領域において行われていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 9】

上記導体層は、半導体素子が形成された領域である活性領域を有する半導体基板上に形成され、上記活性領域と電気的に接続された第 1 配線層上に層間絶縁膜を介して形成された第 2 配線層であり、

ボンディングパッドは、少なくとも一部が上記活性領域と重なるように形成されていることを特徴とする請求項 1 ないし 8 の何れか 1 項に記載の半導体装置。

【請求項 10】

基板上に導体層を形成する工程と、

上記導体層上に絶縁膜を形成する工程と、

上記絶縁膜に開口部を形成する工程と、

上記絶縁膜上と上記開口部内とに金属膜を形成することにより、ボンディングパッドを形成する工程とを含む半導体装置の製造方法において、

上記導体層を形成する工程は、複数の配線を形成する工程を含んでおり、

上記導体層上に絶縁膜を形成する工程は、絶縁性の保護膜を形成する工程を含んでおり、

上記保護膜を形成する工程では、少なくとも上記ボンディングパッドと重なる領域内の上記配線上の保護膜が、隣合う配線上の保護膜と橋架するように上記保護膜を形成することを特徴とする半導体装置の製造方法。

【請求項 11】

上記導体層上に絶縁膜を形成する工程は、上記保護膜を形成する工程により形成された保護膜を覆うように新たな絶縁膜を形成する工程をさらに含むことを特

徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】

上記新たな絶縁膜を形成する工程は、化学気相成長法によって上記保護膜を覆うように酸化膜を形成する工程であることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 13】

上記酸化膜を形成する工程は、ホウ素およびリンの少なくとも一方を含む酸化膜を形成する工程であることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 14】

上記保護膜が橋架することにより形成される空孔部からの飛散および噴出を抑制するように、上記複数の配線を形成する工程は、上記保護膜が橋架する領域における上記隣合う配線の間隔である配線間隔の最小値 S_1 の調整を行って上記複数の配線を形成し、かつ／または、上記保護膜を形成する工程は、橋架の長さ L_1 の調整を行って上記保護膜を形成することを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 15】

上記配線間隔の最小値 S_1 および／または上記橋架の長さ L_1 の調整は、上記配線間隔の最小値 S_1 が $1.8 \mu m$ 以上、上記橋架の長さ L_1 が $900 \mu m$ 以下、或いは上記配線間隔の最小値 S_1 が $1.2 \mu m$ 以上 $1.8 \mu m$ 未満かつ上記橋架の長さ L_1 が $1400 \mu m$ 以下となるように行われることを特徴とする請求項 14 に記載の半導体装置の製造方法。

【請求項 16】

上記調整は、上記配線間隔の最小値 S_1 が $1.8 \mu m$ 以上、或いは上記橋架の長さ L_1 が $400 \mu m$ 以下となるように行われることを特徴とする請求項 15 に記載の半導体装置の製造方法。

【請求項 17】

上記配線間隔の最小値 S_1 および／または上記橋架の長さ L_1 の調整は、上記ボンディングパッドと重なる領域以外の領域において行われることを特徴とする請

求項 14 に記載の半導体装置の製造方法。

【請求項 18】

上記基板上に導体層を形成する工程は、

半導体基板上に半導体素子を形成する工程と、

一部が半導体素子に接続されるように第 1 配線層を形成する工程と、

上記第 1 配線層上に、ビアホールを有する層間絶縁膜を形成する工程と、

上記層間絶縁膜上および上記ビアホール内に第 2 配線層を形成する工程とを含んでおり、

上記ボンディングパッドを形成する工程では、少なくとも一部が上記半導体素子と重なるように上記ボンディングパッドを形成することを特徴とする請求項 10 ないし 17 の何れか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に使用される半導体装置およびその製造方法に関するものである。具体的には、本発明は、基板上に設けられる微細かつ多数の配線と、該配線上に形成されるボンディングパッドとの間の構造に関するものである

。

【0002】

【従来の技術】

半導体集積回路は、半導体集積回路が搭載される電子機器の高機能化および高性能化の進展に伴い、集積度（1つのチップ上に集積された半導体素子の数）が増大し、チップサイズが拡大する傾向にある。このようなチップサイズの拡大を回避するために、半導体集積回路には、加工寸法の微細化（デザインルールの縮小）が求められている。

【0003】

半導体集積回路のチップは、チップ内部の動作領域（活性領域とも呼ばれることがある）と、チップ表面に形成されるボンディングパッド領域とに大別することができる。動作領域は、トランジスタ等の半導体素子が形成された領域（活性

領域) と、半導体素子間を繋ぐ金属の配線の領域(配線領域) とである。ボンディングパッド領域は、ボンディングパッドが形成される領域である。ボンディングパッドは、半導体集積回路の信号の入出力などのために、例えば金の細線を用いたワイヤボンディング等により外部と電気的に接続される接続用の電極である。

【0004】

近時、半導体素子の高密度化すなわち集積度の増大化により、素子間を結ぶ金属パターンは複雑化の傾向にあり、また、層間絶縁膜を介して複数の配線層を積層する多層配線構造が主流となっている。これに伴い、例えば液晶駆動用LSIでは外部端子と接続するための端子数も500～1000個へと至っている。このため、動作領域(活性領域)以外のボンディングパッド領域の面積が増大して、半導体集積回路のサイズも大きくなり、携帯電話やPDA(Personal Digital Assistant)等の電子機器の軽薄短小化に逆行することとなる。

【0005】

そこで、チップサイズを縮小する一手法として、半導体基板の前記活性領域上にボンディングパッドを形成させる手法が提案されている。この手法は『エリアパッド』と称されている。以下、エリアパッドに関する従来技術を説明する。

【0006】

図26は、特開2002-198374号公報に開示された2層配線構造の半導体装置におけるエリアパッドの形成例を示している。同図に示される半導体装置では、シリコン基板1の活性領域に第1配線層2が接続され、第1配線層2上に層間絶縁膜6を介して第2配線層7が形成され、第2配線層7上に保護膜8およびポリイミド膜10を介してボンディングパッド14が、シリコン基板1の活性領域と重なるように配置されている。

【0007】

ボンディングパッド14と重なる領域内には、第2配線層7における複数の配線7a・7bが配設されている。ボンディングパッド14は、保護膜8およびポリイミド膜10の開口部9・11を通して、第2配線層7における1本の配線7aと接合している。一方、ボンディングパッド14と他の配線7bとの間には、

保護膜8およびポリイミド膜10が介在されている。

【0008】

上記構成の半導体装置では、製造工程の簡略化と装置サイズの縮小化とを両立することができ、さらに、ボンディングパッドの配置位置と半導体素子間の結線との自由度を向上することができる。

【0009】

次に、前記半導体装置の製造方法を、図26～図34に基づいて説明する。まず、図27に示されるように、シリコン(Si)基板1の一主要表面に、半導体集積回路の製造で通常用いられている手順に従って、MOS(Metal Oxide Semiconductor)トランジスタ等の素子20を形成する。

【0010】

次に、化学気相成長法(Chemical Vapor Deposition)(以下、CVD法と略称する)により、シリコン基板1の前記表面全体に絶縁膜25を所定の厚さ分堆積する。これにより、活性領域が絶縁膜によって覆われる。次に、絶縁膜25の所定位置にコンタクトホールを開口する。開口する工程は、例えば、フォトリソグラフ工程、絶縁膜のエッチング工程等を用いて、半導体集積回路の製造工程で通常用いられている条件で行われる。

【0011】

次に、絶縁膜25および開口が形成された表面全体に、第1層の配線を形成するための第1配線層2を堆積させる。この第1配線層2としては、単層の金属薄膜、或いは、金属の積層膜が利用される。また抵抗率を小さくした半導体薄膜と金属との積層膜でも良い。従来技術では、約310nmの厚さのTiW薄膜と、約600nmの厚さのAlSi薄膜との積層膜を採用している。次に、第1配線層2を所定の形状に加工し、第1層の配線2a・2bを形成する。これにより、各素子からの電極への取出しや各素子間の配線が行われる。

【0012】

次に、図28に示されるように、第1配線層2を含む表面全体に、第1の層間絶縁膜6を形成する。層間絶縁膜6としては、単層の絶縁膜でも良いが、第1配線層2で形成した第1の配線2a・2bの凹凸を平坦化するために複数の絶縁膜

の積層膜を用いるのが良い。従来技術では、第1配線層2を含む表面全体にプラズマCVD法により厚さ約500nmのSiO_x膜3を形成し、SiO_x膜3の凹部にSOG(Spin on Glass)膜形成／エッチバック工程によりSOG膜4を形成し、SiO_x膜3およびSOG膜4上にCVD法により厚さ約450nmのSiO_x膜5を形成することにより第1の層間絶縁膜6が形成される。

【0013】

前記SOG膜4は、塗布法(SOG)により形成したシリコン酸化膜であり、塗布シリコン酸化膜とも呼ばれるものである。SOG膜4は、スピニコーティングによる簡便な方法(塗布法)で形成でき、かつ、表面張力により被塗布面の凸部よりも凹部に厚く形成できるので、平坦化にとっては非常に有効な絶縁膜である。しかしながら、SOG膜4を単独で層間絶縁膜6として使用すると、SOG膜4自体に含まれる極微量の水分等が滲出して金属配線材料と反応することにより、金属配線の断線を引き起こす等の問題が生じることがあり得る。

【0014】

この問題を回避するために、SOG膜4をSiO_x膜3の全面に形成した後、いわゆるエッチバックと称する技術によりSOG膜4全面にエッチングを施して、SiO_x膜3の凹部にのみSOG膜4を残して表面を平坦化し、平坦化された表面にCVD法によりSiO_x膜5を形成する手法を採用している。これにより、SiO_x膜3およびSiO_x膜5でSOG膜4を挟み込み、SOG膜4からの水分等の滲出を阻止することができる。

【0015】

次に、図29に示されるように、第1の層間絶縁膜6の所定位置に開口部6aを形成する。これは第1配線層2で形成した配線同士の接続等のためのものであり、ビアホール(Via Hole)形成とも称される。開口部6aは、等方性の絶縁膜エッチングを行うことにより段差部に所定の傾斜を付けた後、異方性の絶縁膜エッチングを行うことにより形成される。

【0016】

次に、図30に示されるように、第1の層間絶縁膜6上および開口部6a内に第2配線層7を堆積し、所定の配線パターンにパターニングすることにより第2

の配線7a・7bを形成する。従来技術では、第2配線層7として例えば厚さ約150nmのTiWと厚さ約1100nmのAlSiとの積層膜を採用している。

【0017】

次に、図31に示されるように、第2配線層7を覆うように保護膜8を形成する。保護膜8は、半導体集積回路の表面を保護すると共に、金バンプで形成するエリアパッドと第2配線層7で形成した第2の配線7a・7bとを絶縁するための膜である。保護膜8は、プラズマCVD法によるSiO_x膜と、プラズマCVD法によるSiN膜とを積層した積層膜を採用している。

【0018】

次に、図32に示されるように、保護膜8の所定の位置に開口部9を形成する。開口部9は、第1の配線2a・2bおよび第2の配線7a・7bと外部との電気的接続をとるためのものである。

【0019】

次に、図33に示されるように、エリアパッドを形成したチップを基板にボンディングするときに生じる応力を緩和するための膜（以下衝撃緩衝膜と称す）として、保護膜8上および開口部9内にポリイミド膜10を塗布して堆積させる。

【0020】

次に、図34に示されるように、ポリイミド膜10の所定位置に開口部11を形成する。この開口部11も、保護膜8で覆われた第2配線層7の複数の配線7a・7bのうち、1本の配線7aのみが露出されるように形成される。また、この場合にも、等方性のエッチング条件も加えて、開口部11の内壁に傾斜を付けて、同図に示されるように、いわゆる「鳥の嘴状（Bird's Beak）」に形成される。

【0021】

開口の位置及び面積は保護膜を開口した領域を含み、保護膜の開口面積より大きく、上部に形成する金バンプ13、すなわちエリアパッドの大きさよりも充分に小さくする。従来技術に係るエリアパッドでは、エリアパッドの下方に第2配線層7で形成した第2の配線7a・7bの上方にはこの衝撃緩衝材が必要であるため、この開口部の大きさは、概ね10μm×10μm程度としている。

【0022】

次に、図26に示されるように、バリアメタル12と金バンプ13とからなるボンディングパッド14を、保護膜8およびポリイミド膜10の開口部9・11を覆い、かつ、保護膜8で覆われた第2配線層7の複数の配線7a・7bと重なるように形成する。

【0023】

詳細には、まず、バリアメタル12と称する金属薄膜及び金(Au)薄膜を堆積させる。バリアメタル12の役割は、例えば金(Au)のようにエリアパッドを構成する主たる金属と、配線を構成する導電層の材料とが反応するのを阻止するためにある。また、バリアメタル12は、メッキ法によるエリアパッド形成時の電極の役目も果たしている。

【0024】

次に、バリアメタル12を電極として所定位置に所定厚さの金バンプ13すなわちエリアパッドを形成する。金バンプの寸法はポリイミド膜10の開口部11の寸法より大きくしてある。そして、金バンプ13自体をマスクとして、不要な部分のバリアメタル12を除去することによりボンディングパッド14が形成される。

【0025】

従来技術では、バリアメタル12として厚さ250nmのTiW薄膜と厚さ170nmのAu薄膜とを堆積させ、バリアメタル12の薄膜を電極として厚さ約10μmの金(Au)をメッキして、大きさ約35μm×50μmの金バンプ13をエリアパッドとして形成している。

【0026】**【特許文献1】**

特開2002-198374号公報(2002年7月12日公開)

【0027】**【発明が解決しようとする課題】**

しかしながら、特開2002-198374号公報に開示された2層配線構造の半導体装置においては、ポリイミド膜10を形成する場合には、ボンディング

パッド14の形成位置にポリイミドを塗布して堆積する工程と、ポリイミド膜10の所定位置を開口して開口部11を設ける工程とが少なくとも必要である。このため、特にフォトリソグラフィ工程およびエッチング工程を追加する必要があり、作業効率の低下やチップコストの上昇を招く事になる。

【0028】

上記問題を回避する為、ポリイミド膜10を形成しないとすれば、衝撃緩衝材がなくなる事になり、COF (Chip on Film) などの実装時の応力により、ボンディングパッド14下の構成要素に損傷を与える可能性がある。

【0029】

また、保護膜8とポリイミド膜10との界面の密着性を向上するために、図35および図36に示されるように、保護膜8にオーバーハング形状の凸部を設ける構成が上記公報に開示されている。ここで、オーバーハング形状とは、上部が底部よりも外側に張り出した形状を言う。すなわち、図36に示されるように、基板面に平行な任意の方向（図36の例では配線7bと直交する方向）に沿った凸部8bの最大外形寸法をX、その方向に沿った凸部8bの最下部の寸法をYとすると、 $X > Y$ になる形状のことをいう。

【0030】

これにより、オーバーハング形状の凸部8bのくびれ部分8aにもポリイミド膜10が堆積し、保護膜8の凸部8bと、くびれ部分8aに形成されたポリイミド膜10とが噛み合うので、保護膜8とポリイミド膜10との密着性が向上する。

【0031】

しかしながら、オーバーハング形状の凸部8bは、くびれ部分8aでは膜厚が薄くなっている。このため、図36および図37に示されるように、半導体集積回路に金パンプ13を形成した後、COFなどの実装を行うときに加わる応力により、保護膜8の複数のくびれ部分8aにクラック27が生じることが確認された。

【0032】

このとき、外部からクラック27を通って第2の配線7dなどの回路構成部に

水分が滲出し、滲出した部分に電流が流れることにより金属配線材等が腐食し最終的には断線に至る経時劣化が発生することになる。

【0033】

本発明は上記の問題点を解決するためになされたもので、その目的は、作業効率の低下やチップコストの上昇を招くことなく、上方からの応力による損傷を防止できる半導体装置およびその製造方法を提供することにある。

【0034】

【課題を解決するための手段】

上記の課題を解決するために、本発明の半導体装置は、複数の配線が形成された導体層と、該導体層の複数の配線と重なる領域に形成されたボンディングパッドとを備える半導体装置において、上記配線の一部がボンディングパッドと接合されている一方、上記配線の他の部分とボンディングパッドとの間に絶縁性の保護膜が形成されており、少なくともボンディングパッドと重なる領域内の上記配線上の保護膜は、隣合う配線上の保護膜と橋架していることを特徴としている。

【0035】

上記の構成によると、隣合う配線上の保護膜どうしが橋架することにより、配線上の保護膜の形状は、従来のようなオーバーハング形状ではなく、ブリッジ形状となる。オーバーハング形状の保護膜は、上方から圧力が加わると、側方に広がるように変形する。このため、保護膜の下部のくびれ部分に応力が集中してクラックが発生する。

【0036】

一方、ブリッジ形状の保護膜は、上方から圧力が加わっても、隣合う配線上の保護膜と繋がっているため、側方に広がり難くなる。したがって、保護膜をブリッジ形状とすることにより、保護膜の下部にクラックが発生し難くなる。

【0037】

また、隣合う配線上の保護膜どうしが橋架することにより、橋架する部分の下に空孔部が形成されることになる。これにより、半導体回路を他の基体に実装するときに、ボンディングパッドから保護膜に応力が働いても、前記空孔部が空気バネ（衝撃緩衝材）として機能するから、保護膜の下に形成される配線などの構

成要素が損傷することを防止することができる。

【0038】

また、従来のように衝撃緩衝材としてポリイミド膜を設ける必要がなくなるから、作業効率の低下やチップコストの上昇を防止することができる。

【0039】

なお、上記の効果が得られるので有れば、配線上の保護膜の一部が、隣合う配線上の保護膜と橋架していればよく、全部が橋架している必要はない。

【0040】

さらに、本発明の半導体装置は、上記の構成において、上記保護膜と上記ボンディングパッドとの間には、上記保護膜を覆うように絶縁膜が形成されていることを特徴としている。

【0041】

前記空孔部は、通常は周囲を保護膜によって囲まれているため、外部とは連通していない。しかしながら、配線パターンのデザインによっては、隣合う配線どうしの間隔が広くなつて、保護膜がブリッジ形状とはならない部分が存在する可能性がある。この場合、空孔部は、ブリッジ形状とはならない部分から外部と連通することになる。空孔部が外部と連通すると、保護膜形成後の製造工程において、例えば、空孔部にレジスト材が進入したり、熱処理工程で空孔部から気泡が噴出したりするなど、半導体装置の製造に悪影響を及ぼすことになる。

【0042】

そこで、本発明の半導体装置は、保護膜を覆うように絶縁膜が形成されている。これにより、保護膜においてブリッジ形状とはならない部分が絶縁膜で覆われるので、空孔部が外部と連通しなくなり、半導体装置の製造に悪影響を及ぼすことを防止できる。

【0043】

さらに、本発明の半導体装置は、上記の構成において、上記絶縁膜は、化学気相成長法によって形成された酸化膜であることを特徴としている。

【0044】

化学気相成長法によって形成された酸化膜は、例えばSOG膜などのように、

塗布法によって形成された絶縁膜に比べて、緻密であり、かつ水分含有量が少ない。したがって、前記酸化膜から水分の放出が少なく、水分の放出により半導体装置の製造に悪影響を及ぼすことを防止できる。

【0045】

さらに、本発明の半導体装置は、上記の構成において、上記酸化膜は、ホウ素およびリンの少なくとも一方を含むことを特徴としている。

【0046】

ホウ素およびリンの少なくとも一方を含む酸化膜は、常圧の化学気相成長法によって形成することができる。常圧の化学気相成長法は、真空の化学気相成長法に比べて、成膜速度が速い。したがって、本発明の半導体装置は、量産性に優れ、かつ製造コストの低いものとなる。

【0047】

ところで、保護膜の形成後に、配線とボンディングパッドとを接合するための開口部を形成する工程や、ボンディングパッドを形成する工程には、フォトリソングラフィが頻繁に利用される。この場合、前述のように、空孔部が外部と連通していると、空孔部にレジスト材が進入し、後の熱処理工程において空孔部からレジスト材が飛散したり気泡が噴出したりして、半導体装置の製造に悪影響を及ぼすことになる。

【0048】

これに対し、上述の構成では、保護膜を覆うように絶縁膜を形成することにより、空孔部が外部と連通することを防止し、その結果、半導体装置の製造に悪影響を及ぼすことを防止している。

【0049】

しかしながら、本願発明者らが種々の実験を行ったところ、例え空孔部が外部と連通していても、或る条件下ではレジスト材の飛散や気泡の噴出が発生しないことを見出した。

【0050】

そこで、本発明の半導体装置は、上記の構成において、上記保護膜が橋架している領域では、上記保護膜が橋架することにより形成される空孔部からの飛散お

より噴出を抑制するように、上記隣合う配線の間隔である配線間隔の最小値S1、および／または、上記橋架の長さL1の調整が行われていることを特徴としている。

【0051】

上記の構成によると、例え空孔部が外部と連通していても、レジスト材の飛散や気泡の噴出が抑えられ、半導体装置の製造への悪影響を抑えることができる。

【0052】

なお、上記調整は、上記配線間隔の最小値S1が1.8μm以上、上記橋架の長さL1が900μm以下、或いは上記配線間隔の最小値S1が1.2μm以上1.8μm未満かつ上記橋架の長さL1が1400μm以下となるように行われていることが望ましい。

【0053】

さらに、上記調整は、上記配線間隔の最小値S1が1.8μm以上、或いは上記橋架の長さL1が400μm以下となるように行われていることが望ましい。この場合、レジスト材の飛散や気泡の噴出が発生しなくなるので、半導体装置の製造への悪影響を防止することができる。

【0054】

なお、配線とボンディングパッドとを接合するための開口部を形成する工程にてフォトリソグラフィを利用しない場合には、ボンディングパッドと重なる領域にフォトレジスト層が形成されないので、上記調整は、上記ボンディングパッドと重なる領域において行う必要はない。

【0055】

また、近時の集積回路の微細化傾向により、ボンディングパッドと重なる領域も縮小される傾向にあり、該領域の一辺が400μm以上となることは通常あり得なくなっている。このため、例えフォトリソグラフィを利用しても、ボンディングパッドと重なる領域ではレジスト材の飛散や気泡の噴出が発生し難くなっている。

【0056】

したがって、上記調整は、上記ボンディングパッドと重なる領域以外の領域に

おいて行われればよい。この場合、ボンディングパッドと重なる領域では、上記調整を行う必要がないので、配線パターンの自由度が向上する。

【0057】

また、上記構成の半導体装置は、エリアパッドによる半導体装置、すなわち、上記導体層は、半導体素子が形成された領域である活性領域を有する半導体基板上に形成され、上記活性領域と電気的に接続された第1配線層上に層間絶縁膜を介して形成された第2配線層であり、ボンディングパッドは、少なくとも一部が上記活性領域と重なるように形成されている半導体装置に適用することが効果的である。

【0058】

また、本発明の半導体装置の製造方法は、基板上に導体層を形成する工程と、上記導体層上に絶縁膜を形成する工程と、上記絶縁膜に開口部を形成する工程と、上記絶縁膜上と上記開口部内とに金属膜を形成することにより、ボンディングパッドを形成する工程とを含む半導体装置の製造方法において、上記導体層を形成する工程は、複数の配線を形成する工程を含んでおり、上記導体層上に絶縁膜を形成する工程は、絶縁性の保護膜を形成する工程を含んでおり、上記保護膜を形成する工程では、少なくとも上記ボンディングパッドと重なる領域内の上記配線上の保護膜が、隣合う配線上の保護膜と橋架するように上記保護膜を形成することを特徴としている。

【0059】

ここで、隣合う配線上の保護膜が橋架するように保護膜を形成することは、配線の間隔および保護膜の膜厚を適当に調整することにより実現することができる。

【0060】

上記の方法によると、保護膜を形成する工程により、前述のようなブリッジ形状の保護膜を形成することができる。これにより、保護膜の下部にクラックが発生し難くなる。また、橋架する部分の下に空孔部が形成されることになり、該空孔部が空気バネとして機能するから、保護膜の下に形成される配線などの構成要素が損傷することを防止することができる。また、保護膜上に衝撃緩衝材として

ポリイミド膜を形成する工程が不要となるから、作業効率の低下やチップコストの上昇を防止することができる。

【0061】

なお、上記の効果が得られるので有れば、配線上の保護膜の一部を、隣合う配線上の保護膜と橋架させればよく、全部を橋架させる必要はない。

【0062】

さらに、本発明の半導体装置の製造方法は、上記の方法において、上記導体層上に絶縁膜を形成する工程は、上記保護膜を形成する工程により形成された保護膜を覆うように新たな絶縁膜を形成する工程をさらに含むことを特徴としている。

【0063】

上記の方法によると、前述のように、保護膜においてブリッジ形状とはならぬ部分が絶縁膜で覆われるので、空孔部が外部と連通しなくなり、半導体装置の製造に悪影響を及ぼすことを防止できる。

【0064】

さらに、本発明の半導体装置の製造方法は、上記の方法において、上記新たな絶縁膜を形成する工程は、化学気相成長法によって上記保護膜を覆うように酸化膜を形成する工程であることを特徴としている。

【0065】

上記の方法によると、前述のように、化学気相成長法によって形成された酸化膜から水分の放出が少なく、水分の放出により半導体装置の製造に悪影響を及ぼすことを防止できる。

【0066】

さらに、本発明の半導体装置の製造方法は、上記の方法において、上記酸化膜を形成する工程は、ホウ素およびリンの少なくとも一方を含む酸化膜を形成する工程であることを特徴としている。

【0067】

上記の方法によると、ホウ素およびリンの少なくとも一方を含む酸化膜は、常圧の化学気相成長法によって形成することができるから、半導体装置の量産性が

向上すると共に、半導体装置の製造コストを低下させることができる。

【0068】

さらに、本発明の半導体装置の製造方法は、上記の方法において、上記保護膜が橋架することにより形成される空孔部からの飛散および噴出を抑制するように、上記複数の配線を形成する工程は、上記保護膜が橋架する領域における上記隣合う配線の間隔である配線間隔の最小値S1の調整を行って上記複数の配線を形成し、かつ／または、上記保護膜を形成する工程は、橋架の長さL1の調整を行って上記保護膜を形成することを特徴としている。

【0069】

上記の方法によると、上述のように、配線間隔の最小値S1の調整および／または橋架の長さL1の調整を行うことにより、例え空孔部が外部と連通していても、空孔部からの飛散および噴出が抑えられ、半導体装置の製造への悪影響を抑えることができる。

【0070】

なお、上記配線間隔の最小値S1および／または上記橋架の長さL1の調整は、上記配線間隔の最小値S1が $1.8\mu\text{m}$ 以上、上記橋架の長さL1が $900\mu\text{m}$ 以下、或いは上記配線間隔の最小値S1が $1.2\mu\text{m}$ 以上 $1.8\mu\text{m}$ 未満かつ上記橋架の長さL1が $1400\mu\text{m}$ 以下となるように行われることが望ましい。

【0071】

さらに、上記調整は、上記配線間隔の最小値S1が $1.8\mu\text{m}$ 以上、或いは上記橋架の長さL1が $400\mu\text{m}$ 以下となるように行われることが望ましい。この場合、空孔部からの飛散および噴出が発生しなくなるので、半導体装置の製造への悪影響を防止することができる。

【0072】

なお、配線とボンディングパッドとを接合するための開口部を形成する工程にてフォトリソグラフィを利用しない場合には、ボンディングパッドと重なる領域にフォトレジスト層が形成されないので、上記調整は、上記ボンディングパッドと重なる領域において行う必要はない。

【0073】

また、近時の集積回路の微細化傾向により、ボンディングパッドと重なる領域も縮小される傾向にあり、該領域の一辺が $400\mu\text{m}$ 以上となることは通常あり得なくなっている。このため、例えフォトリソグラフィを利用しても、ボンディングパッドと重なる領域ではレジスト材の飛散や気泡の噴出が発生し難くなっている。

【0074】

したがって、上記調整は、上記ボンディングパッドと重なる領域以外の領域において行われればよい。この場合、ボンディングパッドと重なる領域では、上記調整を行う必要がないので、配線パターンの自由度が向上する。

【0075】

また、上記の半導体装置の製造方法は、エリアパッドによる半導体装置、すなわち、上記導体層は、半導体素子が形成された領域である活性領域を有する半導体基板上に形成され、上記活性領域と電気的に接続された第1配線層上に層間絶縁膜を介して形成された第2配線層であり、ボンディングパッドは、少なくとも一部が上記活性領域と重なるように形成されている半導体装置の製造方法に適用することが効果的である。

【0076】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施の一形態について図1ないし図11に基づいて説明すれば、以下のとおりである。なお、従来と同様の構成については、同一の符号を付している。

【0077】

以下に、本発明の半導体装置の実施の一形態として、シリコン(Si)基板上に形成されたMOSトランジスタを有する半導体集積回路を例にして詳細に説明する。しかしながら、本発明において、半導体基板を構成する半導体材料、半導体基板上に形成される半導体素子の種類やその組み合わせには、特に制約はない。なお、本願明細書においては、半導体素子が形成された半導体基板上の領域を、活性領域と称する。

【0078】

図1は、本発明に係る半導体装置の実施の一形態としての半導体集積回路において半導体素子1つ分に対応する部分の概略断面図である。以下の説明では、半導体素子1つ分に対応する部分について説明する。

【0079】

本実施形態の半導体集積回路は、図1に示すように、半導体素子20が形成された領域である活性領域を有するシリコン基板（半導体基板）1と、シリコン基板1上に形成され、上記活性領域と電気的に接続された第1配線層2と、第1配線層2上に層間絶縁膜6を介して形成された第2配線層7と、少なくとも一部が上記活性領域と重なる位置（活性領域の上方）に形成された、外部との電気的接続のためのボンディングパッド14とを備えている。

【0080】

本実施形態の半導体素子20は、MOSトランジスタである。半導体素子20は、シリコン基板1の表層に形成された、ソース領域として機能する不純物拡散層1aと、ドレイン領域として機能する不純物拡散層1bと、不純物拡散層1a・1b上に形成された酸化膜（ソース領域・ドレイン領域へのイオン注入時のダメージを低減するための膜）26・26と、シリコン基板1上に形成されたゲート絶縁膜21と、ポリシリコンゲート電極22と、ポリシリコンゲート電極22の側面に形成された側壁保護膜23とからなっている。

【0081】

上記構成の半導体素子20では、シリコン基板1における不純物拡散層1a・1b間の領域がチャネル領域として機能する。したがって、本実施形態のシリコン基板1では、不純物拡散層1a・1bと、それらの間のチャネル領域とが、活性領域となっている。また、シリコン基板1における半導体素子20が形成されている領域（活性領域）以外の領域は、半導体素子20と他の半導体素子との電気的分離（アイソレーション）のための素子分離用絶縁膜24・24が形成された素子分離領域となっている。

【0082】

シリコン基板1において、活性領域に形成された半導体素子20上と、素子分

離領域に形成された素子分離用絶縁膜 24・24上とには、所定厚さの絶縁膜 25が形成されている。また、絶縁膜 25の所定の位置（不純物拡散層 1a・1bに対応する位置）には、第1配線層 2と不純物拡散層 1a・1bとを電気的に接続するためのコンタクトホールが開口している。

【0083】

第1配線層 2は、アルミニウム等の導電体からなる単層または複層の導電膜によって形成されている。第1配線層 2は、絶縁膜 25上に形成された複数の配線 2a・2bからなっており、配線 2aは上記コンタクトホールを通して不純物拡散層 1aと電気的に接続しており、配線 2bは上記コンタクトホールを通して不純物拡散層 1bと電気的に接続している。

【0084】

第1配線層 2上には、第1配線層 2と第2配線層 7とを絶縁するための層間絶縁膜 6が単層または複層の絶縁膜で形成されており、層間絶縁膜 6には第1配線層 2と第2配線層 7とを電気的に接続するためのビアホールが設けられている。

【0085】

この場合、層間絶縁膜 6は、表面を平坦化する機能を有している。層間絶縁膜 6としては、単層の絶縁膜でもよいが、本実施形態では、第1導電膜で形成した第1配線層 2の凹凸を被覆して表面を平坦化できる利点から、複数の絶縁膜を積層した積層膜を採用している。

【0086】

第2配線層 7も、第1配線層 2と同様に、アルミニウム等の導電体からなる単層または複層の導電膜によって形成されている。第2配線層 7は、ボンディングパッド 14と重なる領域（ボンディングパッド 14の下方領域）内に互いに絶縁された第2の配線 7を複数本有している。また、第2配線層 7の一部は、層間絶縁膜 6のビアホールを通して第1配線層 2の一部と接続されている。

【0087】

なお、本願では、第2の配線のそれぞれを区別する場合には、図6に示されるように、ボンディングパッド 14と接続する第2の配線に符号 7aを付し、ボンディングパッドと非接続であるがボンディングパッド 14と重なる領域内に形成

される第2の配線に符号7bを付し、その他の配線に符号7cを付することにする。

【0088】

以上の構成は、上記従来の半導体装置における半導体集積回路の構成と同様の構成である。

【0089】

第2配線層7上には、保護膜8が形成されている。本実施形態では、図2に示されるように、隣合う第2の配線7b・7b上では、保護膜8が橋架した状態で形成されている。これにより、隣合う第2の配線7b・7bの間は、全てが保護膜8の材料で充填されるのではなく、一部には空孔部16が形成されることになる。

【0090】

これにより、COF実装などのチップ実装時に保護膜8に応力が働いても、空孔部16が空気バネとして機能するから、保護膜8の下の半導体素子20、第1配線層2、および第2配線層7の損傷を防止することができる。また、本実施形態では、衝撃緩衝材としてポリイミド膜10を設ける必要がなくなるから、作業効率の低下やチップコストの上昇を防止することができる。

【0091】

また、本実施形態では、第2配線層7上の保護膜8を従来のようなオーバーハング形状ではなく、ブリッジ形状としている。オーバーハング形状の場合、上から圧力が働くと、押しつぶされて、左右方向に広がるため、凹部における保護膜8の屈曲角度が小さくなって、クラックが発生する。一方、ブリッジ形状の場合には、上から圧力が働いても、左右方向に広がり難く、それゆえ、凹部における保護膜8の屈曲角度が小さく成り難く、クラックが発生し難くなる。

【0092】

次に、上記の半導体集積回路の製造方法を図3～図10に基づいて説明する。なお、図3～図10は、半導体集積回路の製造工程を示している。まず、図3に示されるように、シリコン(Si)基板1の一主要表面(以下この主要表面を、単に表面と称す)に、半導体集積回路の製造で通常用いられている手順に従って

、MOSトランジスタ等の素子20を形成する。

【0093】

次に、シリコン基板1の前記表面全体にCVD法により絶縁膜25を所定の厚さ分堆積する。これにより、活性領域が絶縁膜25によって覆われる。次に、絶縁膜25の所定位置にコンタクトホールを開口する。開口する工程は、例えば、フォトリソグラフ工程、絶縁膜のエッチング工程等を用いて、半導体集積回路の製造工程で通常用いられている条件で行われる。

【0094】

次に、図3に示されるように、絶縁膜25および開口が形成された表面全体に、第1層の配線を形成するための第1配線層2を堆積させる。この第1配線層2としては、単層の金属薄膜、或いは、金属の積層膜が利用される。また抵抗率を小さくした半導体薄膜と金属との積層膜でも良い。本実施形態では、厚さ約310nmのTiW薄膜と、厚さ約600nmのAlSi薄膜との積層膜を採用している。次に、第1配線層2を所定の形状に加工し、第1層の配線2a・2bを形成する。これにより、各素子からの電極への取出しや各素子間の配線が行われる。

【0095】

次に、図4に示されるように、第1配線層2を含む基板全面に第1の層間絶縁層6を形成する。層間絶縁膜6としては、単層の絶縁膜でも良いが、第1配線層2で形成した第1の配線2a・2bの凹凸を平坦化するために複数の絶縁膜の積層膜を用いるのが良い。本実施例では、第1配線層2を含む表面全体にプラズマCVD法により厚さ約500nmのSiO_x膜3を形成し、SiO_x膜3の凹部にSOG膜形成／エッチバック工程によりSOG膜4を形成し、SiO_x膜3およびSOG膜4上にCVD法により厚さ約450nmのSiO_x膜5を形成することにより第1の層間絶縁膜6を形成している。

【0096】

前記SOG膜4は、塗布法（SOG：Spin on Glass）により形成したシリコン酸化膜であり、塗布シリコン酸化膜とも呼ばれるものである。SOG膜4は、スピンドルコーティングによる簡便な方法（塗布法）で形成でき、かつ、表面張力により被塗布面の凸部よりも凹部に厚く形成できるので、平坦化にとては非常に

有効な絶縁膜である。しかしながら、SOG膜4を単独で層間絶縁膜6として使用すると、SOG膜4自体に含まれる極微量の水分等が滲出して金属配線材料と反応することにより、金属配線の断線を引き起こす等の問題が生じることがあります。

【0097】

この問題を回避するために、SOG膜4をSiO_x膜3の全面に形成した後、いわゆるエッチバックと称する技術によりSOG膜4全面にエッチングを施して、SiO_x膜3の凹部にのみSOG膜4を残して表面を平坦化し、平坦化された表面にCVD法によりSiO_x膜5を形成する方法を採用している。これにより、SiO_x膜3およびSiO_x膜5でSOG膜4を挟み込み、SOG膜4からの水分等の滲出を阻止することができる。

【0098】

次に、図5に示されるように、第1の層間絶縁膜6の所定位置に開口部（ビアホール）6aを形成する。開口部6aを形成する工程では、通常のフォトリソグラフ工程および通常の絶縁膜エッチング工程が用いられる。しかしながら、開口部6aの上端周縁が急峻である、すなわち、層間絶縁膜6の表面から開口部6aの側面への傾きの変化が急峻であると、後に形成する第2配線層7における第2の配線が開口部6aの上端にて断線するおそれがある。

【0099】

そこで、複数の絶縁膜エッチング条件を組み合わせることにより、開口部6aの上端に傾斜を付けることが望ましい。なお、図には示していないが、本実施形態においても、開口部6aを設ける位置において、まず等方性の絶縁膜エッチングを行うことにより所定の傾斜を付けた後に、異方性の絶縁膜エッチングを行つて開口部6aを形成している。

【0100】

次に、図6に示されるように、第1の層間絶縁膜6上および開口部6a内に導電性材料を堆積することにより第2配線層7を形成し、所定の配線パターンにパターンングすることにより第2の配線7a～7cを形成する。本実施形態では、第2配線層7として例えば厚さ約150nmのTiWと厚さ約1100nmのA

Siとの積層膜を採用している。

【0101】

次に、図7に示されるように、第2配線層7を覆うように保護膜8を形成する。保護膜8は、半導体集積回路の表面を保護すると共に、金バンプで形成するエリアパッドと第2配線層7で形成した第2の配線7a～7cとを絶縁するための膜である。保護膜8としては、緻密性の高い絶縁膜、例えば塗化膜等が適している。

【0102】

本実施形態では、第2の配線7b・7bどうしの間隔と保護膜8の厚さとを調整することにより、図2に示されるように、隣合う第2の配線7b・7b上の保護膜8を橋架状態に形成している。これにより、隣合う第2の配線7b・7bの間は、全てが保護膜8の材料で充填されるのではなく、一部には空孔部16が形成されることになる。

【0103】

なお、保護膜8は、プラズマCVD法により形成されるため、保護膜8の膜厚が薄いと、エリアパッドすなわちボンディングパッド14を形成したチップを基板にボンディングするときの圧力などの応力で、図36および図37に示されるようなクラックが発生するおそれがある。このため、保護膜8の膜厚Lは約1μm以上であることが望ましい。

【0104】

また、保護膜8の膜厚にも依存するが、第2の配線の間隔が広すぎると、隣合う第2の配線7b・7b上の保護膜8を橋架状態に形成することが困難となる。このため、保護膜8の膜厚Lが約1μmの場合には、第2の配線7b・7bの間隔は、約1.0μm以下であることが望ましい。実施例では、第2の配線の間隔を約0.8μmとし、保護膜8を、プラズマCVD法により形成された膜厚約400nmのSiO_x膜と、プラズマCVD法により形成された膜厚約720nmのSiN膜とを積層した積層膜としている。

【0105】

次に、図8に示されるように、橋架状に形成した保護膜8を覆うように絶縁膜

15を形成する。絶縁膜15は、保護膜8の凹凸を平坦化とともに、従来のポリイミド膜10（図26を参照）よりも簡便に形成するために、スピンドルによる簡便な方法で形成することが望ましい。また、絶縁膜15は、熱膨張による破損を防止するため、熱膨張率が保護膜8よりも小さいことが望ましい。以上の条件を満足する絶縁膜15の例としては、SOG膜が挙げられる。

【0106】

次に、ボンディングパッド14と接続する第2の配線7aを露出するために、図9に示されるように、絶縁膜15の所定位置に開口部17を設けるとともに、図10に示されるように、該開口部17内に露出した保護膜8の所定位置に開口部9を設ける。

【0107】

これにより、絶縁膜15の開口部17の領域は、保護膜8の開口部9の領域を含むことになるから、絶縁膜15の開口部17の開口面積は、保護膜8の開口部の開口面積よりも広くすることができる。

【0108】

また、保護膜8および絶縁膜15は、ほぼ同じ装置およびガス系でのエッチングが可能であるため、保護膜8および絶縁膜15を形成した後に開口部17・9を設けている。これにより、保護膜8の形成後に開口部9を設けて、絶縁膜15の形成後に開口部17を設ける場合に比べて、開口部を設ける工程を減らすことができる。

【0109】

なお、前述のように、開口部の上端を傾斜させることが望ましい。このため、本実施形態では、開口部17・9を設ける位置において、まずウエットエッチングによる等方性の絶縁膜エッチングを行うことにより所定の傾斜を付けた後に、異方性の絶縁膜エッチングを行って開口部17・9を形成している。

【0110】

開口部17・9の上端を傾斜させることにより、前述のような電気的な破断を防止する効果の他に、以下のような効果が得られる。すなわち、図1に示されるように、後の工程で形成されるボンディングパッド（エリアパッド）14における

る上面の凹み18を緩やかにすることができるので、ボンディングパッド14の上面を外部端子に接続する場合における接触抵抗の増大を防止することができる。

【0111】

次に、図1に示されるように、バリアメタル12と金バンプ13とからなるボンディングパッド14を、保護膜8および絶縁膜15の開口部9・17を覆い、かつ、保護膜8で覆われた第2配線層7の複数の配線7a・7bと重なるように形成する。

【0112】

詳細には、まず、バリアメタル12と称する金属薄膜および金(Au)薄膜を堆積させる。バリアメタル12の役割は、例えば金(Au)のようにエリアパッドを構成する主たる金属と、配線を構成する導電層の材料とが反応するのを阻止するためにある。また、バリアメタル12は、メッキ法によるエリアパッド形成時の電極としての役目も果たしている。

【0113】

次に、バリアメタル12を電極として所定位置に所定厚さの金バンプ13すなわちエリアパッドを形成する。金バンプの寸法は絶縁膜15の開口部17の寸法より大きくしてある。そして、金バンプ13自体をマスクとして、不要な部分のバリアメタル12を除去することによりボンディングパッド14が形成されて、図1に示される半導体集積回路を製造することができる。

【0114】

なお、実施例では、バリアメタル12として厚さ250nmのTiW薄膜と厚さ170nmのAu薄膜とを堆積させ、バリアメタル12の薄膜を電極として厚さ約10μmの金(Au)をメッキして、大きさ約35μm×50μmの金バンプ13をエリアパッドとして形成している。

【0115】

したがって、上記の製造方法によると、保護膜8を形成する工程によりブリッジ形状の保護膜を形成しているので、前述のように、保護膜8の下部にクラック27が発生し難くなる。また、橋架する部分の下に空孔部16が形成されること

になり、該空孔部16が空気バネとして機能するから、保護膜8の下に形成される配線7などの構成要素が損傷することを防止することができる。また、保護膜8上に衝撃緩衝材としてポリイミド膜10を形成する工程が不要となるから、作業効率の低下やチップコストの上昇を防止することができる。

【0116】

なお、本実施形態では、保護膜8上に絶縁膜15を形成しているが、図11に示されるように、絶縁膜15を形成することなく、保護膜8上にボンディングパッド14を直接形成することもできる。しかしながら、この場合には以下の問題が起これり得る。

【0117】

図2に示されるように、隣合う第2の配線7c・7cの間には空孔部16が形成される。図示のように、空孔部16は、基本的には周囲が保護膜8で囲まれた構造となるため、外部とは連通しない。しかしながら、第2の配線7b・7cのデザインによっては、一部が保護膜8で覆われていない空孔部（以下、該空孔部を「ボイド開放部」と称する。）が存在する場合もある。

【0118】

図12は、ボイド開放部28が存在する場合の第2の配線7c・7cのデザインの一例を示している。同図に示されるような第2の配線に保護膜8を形成した場合、コーナー部以外では、図13（b）に示されるように、隣合う第2の配線7c・7c上の保護膜が橋架するので、橋架部分の直下に、周囲が保護膜8で囲まれた空孔部16が形成される。

【0119】

一方、コーナー部では、隣合う第2の配線7c・7cの間隔が広くなっているから、図13（a）に示されるように、隣合う第2の配線7c・7c上の保護膜8が橋架せず、したがって、隣合う第2の配線7c・7cの間には、上部が開口したボイド開放部28が形成されることになる。ボイド開放部28が存在すると、空孔部16はボイド開放部28を介して外部と連通することになる。

【0120】

この場合、保護膜8の形成後、保護膜8の開口部9を形成するためにフォトリ

ソグラフィを行ったときには、レジスト材がボイド開放部 28 から空孔部 16 に進入することになる。そして、後の熱処理工程、例えばレジスト硬化工程（ポストベーク工程）において空気の膨張や有機材料の気化により発生する気泡によつて、ボイド開放部 28 からレジスト材が飛散し、必要とする領域の保護膜 8 が欠落するおそれがあり、保護膜 8 の耐湿性が劣化するおそれがある。

【0121】

さらに、フォトレジスト層の一部が剥離し、レジストパターンが変化して、開口部 9 が望ましくない形状となるおそれがある。また、飛散したレジスト材は、設備を汚染したり、ボンディングパッド 14 の形成領域に付着して、保護膜 8 とボンディングパッド 14 との密着強度が低下したりするおそれがある。なお、同様の問題点が、ボンディングパッド 14 の金バンプ 13 を形成するためにフォトリソグラフィを行ったときにも生じるおそれがある。

【0122】

また、実装時の表面保護として PIQ (polyimide resin: ポリイミド膜) 10 を形成する場合には、PIQ を形成する工程内の熱処理、例えば PIQ 硬化工程における熱処理により、図 14 に示されるように、ボイド開放部 28 から気泡 29 が噴出し、PIQ が飛散するおそれがある。

【0123】

また、バリアメタル 12 を形成するときの熱処理において、ボイド開放部 28 から気泡が噴出し、該気泡が外部に噴出することにより設備を汚染したり、前記気泡がバリアメタル 12 に付着することにより保護膜 8 とバリアメタル 12 との密着強度を劣化したりするおそれがある。

【0124】

したがって、以上の問題点を回避するために、保護膜 8 上に絶縁膜 15 が、保護膜 8 を覆うように形成されることが望ましい。これにより、ボイド開放部 28 も絶縁膜 15 によって覆われるから、空孔部 16 が外部と連通することができなくなり、上記の問題点を回避することができる。

【0125】

〔実施の形態 2〕

次に、本発明の別の実施形態について図15に基づいて説明すれば、以下のとおりである。図15は、本実施形態である半導体装置における半導体集積回路の概略構成を示している。

【0126】

本実施形態の半導体集積回路は、図1に示される半導体集積回路に比べて、絶縁膜としてSOG膜15を形成する代わりに、CVD法による酸化膜30（以下、「CVD酸化膜30」と略称する。）を形成する点が異なり、その他の構成は同様である。なお、上記実施形態で説明した構成と同様の機能を有する構成には、同一の符号を付して、その説明を省略する。

【0127】

上記実施形態では、ボイド開放部28を覆うための絶縁膜としてSOG膜15を形成している。しかしながら、SOG膜15は、ポーラス（多孔質）な膜であり、かつ、水分の含有量が多いいため、次の工程であるバンプ形成工程、すなわちボンディングパッド14を形成する工程において以下の問題点が起こり得る。

【0128】

前述のように、ボンディングパッド14を形成する工程では、まず、バリアメタル（TiW）12が形成される。バリアメタル12の形成は、高真空中でのスパッタリングにより行われる。このとき、SOG膜15から外部に水蒸気が流出するため、スパッタリング装置の真空度が低下する。このため、スパッタリングに必要な真空度に到達するまでに時間を費やすことになる。

【0129】

また、バリアメタル12を形成する前には、バリアメタル12と第2の配線7aとのコンタクト抵抗を低下かつ安定化させるために、Arガス等により第2の配線7aのスパッタエッチングが行われる。

【0130】

このとき、SOG膜15の表面もArイオンに叩かれてエッチングされるため、設備ダストの原因となる。すなわち、エッチングされたSOGがウェハー上に付着し、これを核としてスパッタ膜が成長する。このスパッタ膜がウェハー上に残ると実装時に2本のリード線をショートさせる原因となる。

【0131】

また、エッチングされることにより、SOG膜15は脆くなり、ボンディングパッド14の形成後の実装時に、実装による圧力に対してクラックが発生しやすくなる。

【0132】

さらに、SOG膜15は、塗布法により形成されるが、塗布法では、SOGを塗布する工程に加えて、溶剤を除去するための熱処理工程と、エッチバック工程とが必要であり、工程数が多くなる。

【0133】

以上の問題点に対し、本実施形態では、塗布法によりSOG膜15を形成する代わりに、CVD酸化膜30を形成している。CVD酸化膜30は、周知の常圧CVD装置を用いて、保護膜8を覆うように、1μmの膜厚で表面全体に形成される。なお、CVD酸化膜30を常圧CVD法で形成するため、CVD酸化膜30には、B（ホウ素）およびP（リン）の少なくとも一方が含まれることが望ましい。

【0134】

CVD酸化膜30は、SOG膜15に比べて、緻密であり、かつ水分含有量が少ない。このため、スパッタリングによりバリアメタル12を形成するときに、スパッタリング装置の真空度の低下を軽減できるので、バリアメタル12の形成を速やかに行うことができる。

【0135】

また、バリアメタル12の形成前に行われるスパッタエッチングでは、CVD酸化膜30のエッチング量を抑えることができるので、設備ダストを減少できるとともに、実装による圧力に対してクラックが発生し難くなる。

【0136】

また、CVD法は、塗布法に比べてエッチングレートの安定した膜を形成できるため、エッチバック工程による薄膜化が不要となり、製造工程数を減らすことができる。なお、CVD酸化膜30上にボンディングパッド14を良好に形成するため、CVD酸化膜30の形成後、CVD酸化膜30の平坦化処理を行って

から、ボンディングパッド14の形成を行っても良い。

【0137】

さらに、CVD酸化膜30を、B(ボロン)およびP(リン)の少なくとも一方を含む酸化膜とすることにより、CVD酸化膜30を常圧CVD法で形成することができる。常圧CVD法は、真空CVD法よりも成膜速度(deposition rate)が速いから、量産性に優れ、製造コストを下げることができる。

【0138】

〔実施の形態3〕

次に、本発明の他の実施形態について図16に基づいて説明すれば、以下のとおりである。図16(a) (b)は、本実施形態である半導体装置における半導体集積回路の概略構成を示している。

【0139】

本実施形態の半導体集積回路は、図1に示される半導体集積回路における第2の配線7a～7cに、ダミー配線7dが追加されている点が異なり、その他の構成は同様である。なお、上記実施形態で説明した構成と同様の機能を有する構成には、同一の符号を付して、その説明を省略する。

【0140】

前述のように、隣合う第2の配線7b・7bの間隔が広いと、隣合う第2の配線7b・7b上に形成される保護膜8が橋架せず、従来と同様のオーバーハング形状となる。

【0141】

これを回避するため、本実施形態では、図16(a) (b)に示されるように、第2配線層7におけるボンディングパッド14と重なる領域内に、デバイス動作に関与する第2の配線7a・7bに加えて、さらに、デバイス動作(半導体素子20の動作や図示しない他の半導体素子等の外部装置の動作)に関与しないダミー配線7dが配備されている。

【0142】

上記の構成によると、ダミー配線7cを含む第2配線層7を形成した後、保護膜8を形成したときに、隣合う第2の配線7b・7b上の保護膜8が橋架するだ

けでなく、隣合うダミー配線 7 d・7 d 上の保護膜 8 も橋架し、隣合う第 2 の配線 7 b およびダミー配線 7 b・7 d 上の保護膜 8 も橋架することになる。

【0143】

したがって、ダミー配線 7 d をもちいることにより、少なくともボンディングパッド 14 が形成される領域に形成される保護膜 8 のほぼ全てをブリッジ形状とすることができ、ボンディングパッド 14 から保護膜 8 に働く応力の衝撃緩衝材として確実に機能することができる。

【0144】

〔実施の形態 4〕

次に、本発明の他の実施形態について図 17～図 25 に基づいて説明すれば、以下のとおりである。図 17 は、本実施形態である半導体装置における半導体集積回路の概略構成を示している。

【0145】

本実施形態の半導体集積回路は、図 1 および図 15 に示される半導体集積回路に比べて、絶縁膜 15・30 が省略されて、保護膜 8 にボンディングパッド 14 が直接形成されている点と、図示されていないが、レジスト材がボイド開放部 28 から飛散することを抑制または防止するために、第 2 の配線 7 a～7 c の配線パターンを所定の条件に従うように変更している点とが異なり、その他の構成は同様である。なお、上記実施形態で説明した構成と同様の機能を有する構成には、同一の符号を付して、その説明を省略する。

【0146】

次に上記の半導体集積回路の製造方法について図 18 および図 19 に基づいて説明する。なお、保護膜を形成する工程までは、図 3～図 7 に示される製造工程と同様であるので、その説明を省略する。なお、図 6 に示される第 2 の配線層 7 を形成する工程において、本実施形態は上記の実施形態と配線パターンが異なることになるが、製造工程自体は同じである。

【0147】

図 7 に示されるように保護膜 8 が形成された後に、図 18 に示されるように、ボンディングパッド 14 と接続する第 2 の配線 7 a を露出させるために、フォト

リソグラフィおよびエッチングにより保護膜8の開口部9を形成する。すなわち、レジスト塗布工程、露光工程、および現像工程により開口部41を有するフォトレジスト層40が形成され、開口部41の底に露出した保護膜8をエッチングすることにより開口部9が形成される。

【0148】

本実施形態では、保護膜8を覆う絶縁膜15・30を省略しているので、上述のように、外部と連通する空孔部16が存在する場合がある。この場合、レジスト塗布工程にてフォトレジスト層40を形成するときに、レジスト材がボイド開放部28から空孔部16に進入することになる。このとき、進入したレジスト材が、後の熱処理工程にてボイド開放部28から飛散するおそれがある。また、後の熱処理工程にて、空気の膨張や有機材の気化により空孔部16から気泡が噴出して、フォトレジスト層40の膨張や破損が生じるおそれがある。

【0149】

次に、図19に示されるように、フォトレジスト層40を剥離して、バリアメタル12を積層し、その後、フォトリソグラフィおよびメッキ法により、開口部9を含む領域に金バンプ13を形成する。すなわち、レジスト塗布工程、露光工程、および現像工程により、開口部を含む領域に開口部43を有するレジスト層42が形成され、バリアメタル12を電極として金析出（メッキ）を行うことにより、開口部43に金バンプ13が積層される。

【0150】

上述のように、本実施形態では、レジスト塗布工程にてフォトレジスト層42を形成するときに、レジスト材がボイド開放部28から空孔部16に進入することになる。このとき、進入したレジスト材が、後の熱処理工程においてボイド開放部28から飛散するおそれがある。また、熱処理工程において、空気の膨張や有機材の気化により空孔部16から気泡が噴出して、フォトレジスト層42の膨張や破損が生じるおそれがある。

【0151】

そして、金バンプ13をマスクとして、フォトレジスト層42と不要な部分のバリアメタルを除去することによりボンディングパッド14が形成されて、図1

7に示される半導体集積回路が完成する。

【0152】

以上のように、フォトレジスト層40・42の形成工程にて、ボイド開放部28から空孔部16にレジスト材が進入し、フォトレジスト層40・42を硬化するための熱処理工程にて、空孔部16から外部にレジスト材が飛散したり、空孔部16から気泡が噴出したりして、半導体装置の製造に悪影響を及ぼす結果となる。

【0153】

この問題点に対し、本願発明者らは、第2の配線7の配線パターンを様々に変更して、空孔部16からレジスト材が飛散する状況を調べる実験を行った。図20は、この実験において使用された配線パターンの一例を示している。

【0154】

図示のように、この実験では、隣合う第2の配線7・7の間隔を狭めたり広げたりすることにより、隣合う第2の配線7・7上の保護膜8が橋架する領域と橋架しない領域とを意図的に形成している。また、この実験では、ボイド開放部28の間隔、すなわち、隣合う第2の配線7・7上の保護膜8が橋架している領域における橋架の長さL1と、該領域における隣合う第2の配線7・7の間隔である配線間隔の最小値S1とを変更した。

【0155】

図21の上段は、保護膜の厚さtを1.2μmとして上記実験を行った結果を示している。また、同図の下段は、上段に記載の○印、△印、および×印のそれぞれの意味を示している。

【0156】

すなわち、○印は、レジスト材の飛散とフォトレジスト層40・42の膨れとが、何れも発生しなかったことを意味している。また、△印は、レジスト材の飛散は発生しなかったが、フォトレジスト層40・42の膨れが発生したことを意味している。そして、×印は、レジスト材の飛散とフォトレジスト層40・42の膨れとが、何れも発生したことを意味している。

【0157】

図21を参照すると、レジスト材の飛散を発生させないためには、配線間隔の最小値S1が $1.8\mu\text{m}$ 以上であるか、橋架の長さL1が $900\mu\text{m}$ 以下であるか、或いは配線間隔の最小値S1が $1.2\mu\text{m}$ 以上 $1.8\mu\text{m}$ 未満でありかつ橋架の長さL1が $1400\mu\text{m}$ 以下である条件を満たせばよいことが理解できる。さらに、レジスト材の飛散とフォトレジスト層40・42の膨れとの何れをも発生させないためには、配線間隔の最小値S1が $1.8\mu\text{m}$ 以上であるか、或いは橋架の長さL1が $400\mu\text{m}$ 以下である条件を満たせばよいことが理解できる。

【0158】

なお、上記配線間隔の最小値S1は、橋架が生じない配線間隔の最小値よりも小さくする必要があることは言うまでもない。この橋架が生じない配線間隔の最小値は、理論上では保護膜の厚さtの2倍に相当する。

【0159】

次に、図20に示されるように、隣合う第2の配線7・7上の保護膜8が橋架する領域と橋架しない領域とを意図的に形成するための配線パターンの例を図22～図25に基づいて説明する。

【0160】

図22に示される配線パターンでは、隣合う第2の配線7b・7bの両方は、長手方向に所定周期で両側がくびれた形状となっている。この場合、くびれた部分では、隣合う第2の配線7b・7bの間隔が広がって、保護膜8が橋架しないボイド開放部28が形成される。

【0161】

したがって、くびれた部分が形成される長手方向の周期と、くびれていない部分における隣合う第2の配線7b・7bの間隔とを適宜調整することにより、上記の条件を満たすような隣合う第2の配線7b・7bを形成することができる。例えば、くびれた部分が形成される長手方向の周期を $400\mu\text{m}$ とすれば、橋架の長さL1は $400\mu\text{m}$ よりも小さくなるので、レジスト材の飛散とフォトレジスト層40・42の膨れとの発生を防止することができ、半導体装置の製造に悪影響を及ぼすことを防止することができる。

【0162】

図23に示される配線パターンでは、隣合う第2の配線7b・7bの一方は、長手方向に所定周期で、他方と対向する側がくびれた形状となっている。この場合、くびれた部分では、隣合う第2の配線7b・7bの間隔が広がってボイド開放部28が形成される。このように、隣合う第2の配線7b・7bの一方のみをくびれた形状とすることもでき、また、対向する側のみをくびれた形状とすることもできる。

【0163】

図24に示される配線パターンでは、隣合う第2の配線7b・7bの一方は、長手方向に所定周期で、他方と対向する側と反対側に屈曲した形状となっている。この場合、屈曲した部分では、隣合う第2の配線7b・7bの間隔が広がってボイド開放部28が形成される。

【0164】

したがって、屈曲した部分が形成される長手方向の周期と、屈曲していない部分における隣合う第2の配線7b・7bの間隔とを適宜調整することにより、上記の条件を満たすような隣合う第2の配線7b・7bを形成することができる。なお、上述と同様に、隣合う第2の配線7b・7bの両方が、長手方向に所定周期で、互いに対向する側と反対側に屈曲した形状とすることもできる。

【0165】

図25に示される配線パターンでは、隣合う3本の第2の配線7b・7b・7bの全てが、長手方向に所定周期で一方の側に偏移した形状となっている。この場合でも、図12および図13に示されるように、偏移する途中の屈曲した部分で、隣合う第2の配線7b・7bの間隔が広がってボイド開放部28が形成される。同様に、元に戻る途中の屈曲した部分で、隣合う第2の配線7b・7bの間隔が広がってボイド開放部28が形成される。

【0166】

したがって、偏移する長手方向の周期と、隣合う第2の配線7b・7bの間隔とを適宜調整することにより、上記の条件を満たすような第2の配線7b・7b・7bを形成することができる。

【0167】

なお、図25に示されるように、配線どうしの間隔を維持するために、屈曲する側から順にずらして屈曲していくことが望ましい。また、図20・F・Gに示される配線パターンの形状を、図25に示されるような3本以上の第2の配線7に適用することもできる。

【0168】

したがって、本実施形態の半導体装置は、第2の配線7の配線パターンを適当な形状に変更することにより、空孔部16からの気泡の噴出によるフォトレジスト層40・42の膨れを防止することができる。その結果、外部と連通する空孔部16による半導体装置の製造への悪影響を抑えることができる。

【0169】

また、第2の配線7の配線パターンをさらに適当な形状に変更することにより、空孔部16からレジスト材の飛散を防止することができる。その結果、外部と連通する空孔部16による半導体装置の製造への悪影響を防止することができる。

【0170】

また、保護膜8を覆う絶縁膜15・30を形成する必要が無くなるから、半導体装置の製造工程が簡略化され、生産性の向上およびコストダウンが可能となる。

【0171】

なお、図22～図25に示される第2の配線7bでは、ボンディングパッド14が形成される領域において配線パターンを変更してはいない。しかしながら、保護膜8に開口部9を形成する工程にてフォトリソグラフィを利用する場合には、ボンディングパッド14が形成される領域にもフォトレジスト層40が形成される。このため、空孔部16からのレジスト材の飛散や気泡の噴出による半導体装置の製造への悪影響が生じるおそれがある。そこで、ボンディングパッド14が形成される領域も上記の条件を満たすように第2の配線7の配線パターンを変更してもよい。

【0172】

但し、近時の集積回路の微細化傾向により、ボンディングパッド14が形成さ

れる領域も縮小される傾向にあり、該領域の一辺が400μm以上となることは通常あり得なくなっている。このため、例えフォトリソグラフィを利用しても、ボンディングパッド14が形成される領域ではレジスト材の飛散や気泡の噴出が発生し難くなっている。

【0173】

したがって、ボンディングパッド14が形成される領域では、上記の条件を満たすように第2の配線7の配線パターンを変更する必要は無く、このため、配線パターンの制約が減り、配線パターンの自由度が向上する。

【0174】

なお、本発明は上記の実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。

【0175】

例えば、上記の実施形態では、半導体素子20の上方にボンディングパッド14を形成するいわゆるエリアパッドの半導体装置に関して説明している。しかしながら、近時の半導体集積回路における集積度の向上のため、半導体素子20以外の領域であっても、微細かつ多数の配線上にボンディングパッドを形成する場合があり、このような場合にも本発明を適用することができる。

【0176】

【発明の効果】

以上のように、本発明の半導体装置は、上記配線の一部がボンディングパッドと接合されている一方、上記配線の他の部分とボンディングパッドとの間に絶縁性の保護膜が形成されており、少なくともボンディングパッドと重なる領域内の上記配線上の保護膜は、隣合う配線上の保護膜と橋架している構成である。

【0177】

これにより、配線上の保護膜がブリッジ形状となるので、保護膜の下部にクラックが発生し難くなる効果を奏する。また、橋架する部分の下に形成される空孔部が空気バネとして機能するから、保護膜の下に形成される配線などの構成要素が損傷することを防止できる効果を奏する。また、衝撃緩衝材としてのポリイミド膜が不要となるから、作業効率の低下やチップコストの上昇を防止できる効果

を奏する。

【0178】

さらに、本発明の半導体装置は、以上のように、上記の構成において、上記保護膜と上記ボンディングパッドとの間には、上記保護膜を覆うように絶縁膜が形成されている構成である。

【0179】

これにより、保護膜においてブリッジ形状とはならない部分が絶縁膜で覆われるので、空孔部が外部と連通しなくなり、半導体装置の製造に悪影響を及ぼすことを防止できる効果を奏する。

【0180】

さらに、本発明の半導体装置は、以上のように、上記の構成において、上記絶縁膜は、化学気相成長法によって形成された酸化膜である構成である。

【0181】

これにより、前記酸化膜から水分の放出が少ないので、水分の放出により半導体装置の製造に悪影響を及ぼすことを防止できる効果を奏する。

【0182】

さらに、本発明の半導体装置は、以上のように、上記の構成において、上記酸化膜は、ホウ素およびリンの少なくとも一方を含む構成である。

【0183】

これにより、量産性に優れ、かつ製造コストの低い半導体装置を提供できる効果を奏する。

【0184】

さらに、本発明の半導体装置は、以上のように、上記の構成において、上記保護膜が橋架している領域では、上記保護膜が橋架することにより形成される空孔部からの飛散および噴出を抑制するように、上記隣合う配線の間隔である配線間隔の最小値 $S1$ 、および／または、上記橋架の長さ $L1$ の調整が行われている構成である。

【0185】

これにより、例え空孔部が外部と連通していても、レジスト材の飛散や気泡の

噴出が抑えられ、半導体装置の製造への悪影響を抑える効果を奏する。

【0186】

なお、上記調整は、上記配線間隔の最小値S1が $1.8\mu\text{m}$ 以上、上記橋架の長さL1が $900\mu\text{m}$ 以下、或いは上記配線間隔の最小値S1が $1.2\mu\text{m}$ 以上 $1.8\mu\text{m}$ 未満かつ上記橋架の長さL1が $1400\mu\text{m}$ 以下となるように行われていることが望ましい。

【0187】

さらに、上記調整は、上記配線間隔の最小値S1が $1.8\mu\text{m}$ 以上、或いは上記橋架の長さL1が $400\mu\text{m}$ 以下となるように行われていることが望ましい。この場合、レジスト材の飛散や気泡の噴出が発生しなくなるので、半導体装置の製造への悪影響を防止する効果を奏する。

【0188】

なお、上記調整は、上記ボンディングパッドと重なる領域以外の領域において行われればよい。この場合、ボンディングパッドと重なる領域では、上記調整を行う必要がないので、配線パターンの自由度が向上する効果を奏する。

【0189】

また、上記構成の半導体装置は、エリアパッドによる半導体装置に適用することができる効果的である。

【0190】

また、本発明の半導体装置の製造方法は、以上のように、上記導体層を形成する工程は、複数の配線を形成する工程を含んでおり、上記導体層上に絶縁膜を形成する工程は、絶縁性の保護膜を形成する工程を含んでおり、上記保護膜を形成する工程では、少なくとも上記ボンディングパッドと重なる領域内の上記配線上の保護膜が、隣合う配線上の保護膜と橋架するように上記保護膜を形成する方法である。

【0191】

これにより、保護膜をブリッジ形状とすることができますので、保護膜の下部にクラックが発生し難くなる効果を奏する。また、橋架する部分の下に空孔部が形成されることになり、該空孔部が空気バネとして機能するから、保護膜の下に形

成される配線などの構成要素が損傷することを防止できる効果を奏する。また、保護膜上に衝撃緩衝材としてポリイミド膜を形成する工程が不要となるから、作業効率の低下やチップコストの上昇を防止できる効果を奏する。

【0192】

さらに、本発明の半導体装置の製造方法は、以上のように、上記の方法において、上記導体層上に絶縁膜を形成する工程は、上記保護膜を形成する工程により形成された保護膜を覆うように新たな絶縁膜を形成する工程をさらに含む方法である。

【0193】

これにより、保護膜においてブリッジ形状とはならない部分が絶縁膜で覆われるので、空孔部が外部と連通しなくなり、半導体装置の製造に悪影響を及ぼすことを防止できる効果を奏する。

【0194】

さらに、本発明の半導体装置の製造方法は、以上のように、上記の方法において、上記新たな絶縁膜を形成する工程は、化学気相成長法によって上記保護膜を覆うように酸化膜を形成する工程である。

【0195】

これにより、化学気相成長法によって形成された酸化膜から水分の放出が少ないので、水分の放出により半導体装置の製造に悪影響を及ぼすことを防止できる効果を奏する。

【0196】

さらに、本発明の半導体装置の製造方法は、以上のように、上記の方法において、上記酸化膜を形成する工程は、ホウ素およびリンの少なくとも一方を含む酸化膜を形成する工程である。

【0197】

これにより、ホウ素およびリンの少なくとも一方を含む酸化膜は、常圧の化学気相成長法によって形成することができるから、半導体装置の量産性が向上すると共に、半導体装置の製造コストを低下させる効果を奏する。

【0198】

さらに、本発明の半導体装置の製造方法は、以上のように、上記の方法において、上記保護膜が橋架することにより形成される空孔部からの飛散および噴出を抑制するように、上記複数の配線を形成する工程は、上記保護膜が橋架する領域における上記隣合う配線の間隔である配線間隔の最小値 S_1 の調整を行って上記複数の配線を形成し、かつ／または、上記保護膜を形成する工程は、橋架の長さ L_1 の調整を行って上記保護膜を形成している。

【0199】

これにより、例え空孔部が外部と連通していても、空孔部からの飛散および噴出が抑えられ、半導体装置の製造への悪影響を抑える効果を奏する。

【0200】

なお、上記配線間隔の最小値 S_1 および／または上記橋架の長さ L_1 の調整は、上記配線間隔の最小値 S_1 が $1.8 \mu m$ 以上、上記橋架の長さ L_1 が $900 \mu m$ 以下、或いは上記配線間隔の最小値 S_1 が $1.2 \mu m$ 以上 $1.8 \mu m$ 未満かつ上記橋架の長さ L_1 が $1400 \mu m$ 以下となるように行われることが望ましい。

【0201】

さらに、上記調整は、上記配線間隔の最小値 S_1 が $1.8 \mu m$ 以上、或いは上記橋架の長さ L_1 が $400 \mu m$ 以下となるように行われることが望ましい。この場合、空孔部からの飛散および噴出が発生しなくなるので、半導体装置の製造への悪影響を防止する効果を奏する。

【0202】

なお、上記調整は、上記ボンディングパッドと重なる領域以外の領域において行われればよい。この場合、ボンディングパッドと重なる領域では、上記調整を行う必要がないので、配線パターンの自由度が向上する効果を奏する。

【0203】

また、上記の半導体装置の製造方法は、エリアパッドによる半導体装置の製造方法に適用することが効果的である。

【図面の簡単な説明】

【図 1】

本発明の一実施形態である半導体装置における半導体集積回路の概略構成を示

す断面図である。

【図 2】

上記半導体集積回路において、隣合う第 2 の配線上の保護膜が橋架している状態を示す断面図である。

【図 3】

上記半導体集積回路の製造工程を説明するための図であり、第 1 配線層の形成工程が完了した後の概略構成を示す断面図である。

【図 4】

上記製造工程を説明するための図であり、層間絶縁膜の形成工程が完了した後の概略構成を示す断面図である。

【図 5】

上記製造工程を説明するための図であり、層間絶縁膜に対する開口部の形成工程が完了した後の概略構成を示す断面図である。

【図 6】

上記製造工程を説明するための図であり、第 2 配線層の形成工程が完了した後の概略構成を示す断面図である。

【図 7】

上記製造工程を説明するための図であり、保護膜の形成工程が完了した後の概略構成を示す断面図である。

【図 8】

上記製造工程を説明するための図であり、絶縁膜の形成工程が完了した後の概略構成を示す断面図である。

【図 9】

上記製造工程を説明するための図であり、絶縁膜に対する開口部の形成工程が完了した後の概略構成を示す断面図である。

【図 10】

上記製造工程を説明するための図であり、保護膜に対する開口部の形成工程が完了した後の概略構成を示す断面図である。

【図 11】

上記半導体集積回路において、保護膜上に絶縁膜を形成しない場合の概略構成を示す断面図である。

【図 1 2】

図 1 1 に示される半導体集積回路における配線の様子を模式的に示す概略平面図である。

【図 1 3】

図 1 2 に示される配線上に保護膜を形成したときの様子を示しており、同図 (a) は図 1 2 の A-A' 線における矢視断面図であり、同図 (b) は図 1 2 の B-B' 線における矢視断面図である。

【図 1 4】

図 1 2 の A-A' 線における矢視断面図であり、保護膜上にさらにポリイミド膜を形成したときの様子を示している。

【図 1 5】

本発明の別の実施形態である半導体装置における半導体集積回路の概略構成を示す断面図である。

【図 1 6】

本発明のさらに別の実施形態である半導体装置における半導体集積回路の概略構成を示しており、同図 (a) は前記半導体集積回路における配線の様子を模式的に示す概略平面図であり、同図 (b) は同図 (a) の C-C' 線における矢視断面図である。

【図 1 7】

本発明の他の実施形態である半導体装置における半導体集積回路の概略構成を示す断面図である。

【図 1 8】

上記半導体集積回路の製造工程を説明するための図であり、保護膜に対する開口部の形成工程が完了した後の概略構成を示す断面図である。

【図 1 9】

上記半導体集積回路の製造工程を説明するための図であり、金バンプの形成工程が完了した後の概略構成を示す断面図である。

【図20】

実験に用いられる、隣合う配線の配線パターンの一例を模式的に示す概略平面図である。

【図21】

上段は、実験結果を表形式にて示す図であり、下段は、上段に記載の図形の意味を表形式にて示す図である。

【図22】

上記半導体集積回路の配線に用いられる配線パターンの別の例を模式的に示す概略平面図である。

【図23】

上記半導体集積回路の配線に用いられる配線パターンのさらに別の例を模式的に示す概略平面図である。

【図24】

上記半導体集積回路の配線に用いられる配線パターンのさらに別の例を模式的に示す概略平面図である。

【図25】

上記半導体集積回路の配線に用いられる配線パターンの他の例を模式的に示す概略平面図である。

【図26】

従来の半導体装置の一例における半導体集積回路の概略構成を示す断面図である。

【図27】

上記半導体集積回路の製造工程を説明するための図であり、第1配線層の形成工程が完了した後の概略構成を示す断面図である。

【図28】

上記製造工程を説明するための図であり、層間絶縁膜の形成工程が完了した後の概略構成を示す断面図である。

【図29】

上記製造工程を説明するための図であり、層間絶縁膜に対する開口部の形成工

程が完了した後の概略構成を示す断面図である。

【図 3 0】

上記製造工程を説明するための図であり、第2配線層の形成工程が完了した後の概略構成を示す断面図である。

【図 3 1】

上記製造工程を説明するための図であり、保護膜の形成工程が完了した後の概略構成を示す断面図である。

【図 3 2】

上記製造工程を説明するための図であり、保護膜に対する開口部の形成工程が完了した後の概略構成を示す断面図である。

【図 3 3】

上記製造工程を説明するための図であり、衝撃緩衝膜の形成工程が完了した後の概略構成を示す断面図である。

【図 3 4】

上記製造工程を説明するための図であり、衝撃緩衝膜に対する開口部の形成工程が完了した後の概略構成を示す断面図である。

【図 3 5】

従来の半導体装置の他の一例における半導体集積回路の概略を示す図であり、同図 (a) は前記半導体集積回路における配線の様子を模式的に示す概略平面図であり、同図 (b) は同図 (a) の D-D' 線における矢視断面図である。

【図 3 6】

図 3 5 の半導体集積回路における保護膜がオーバーハンジ形状となっている凸部付近を拡大して示す部分断面図である。

【図 3 7】

図 3 6 に示される保護膜上にボンディングパッドを形成して実装した後の概略構成を示す断面図である。

【符号の説明】

- 1 半導体基板
- 2 第1配線層

6 層間絶縁膜

6 a 開口部（ビアホール）

7 第2配線層（導体層）

7 a ~ 7 c 第2の配線

8 保護膜

9 開口部

14 ボンディングパッド

15 S O G膜（絶縁膜）

16 空孔部

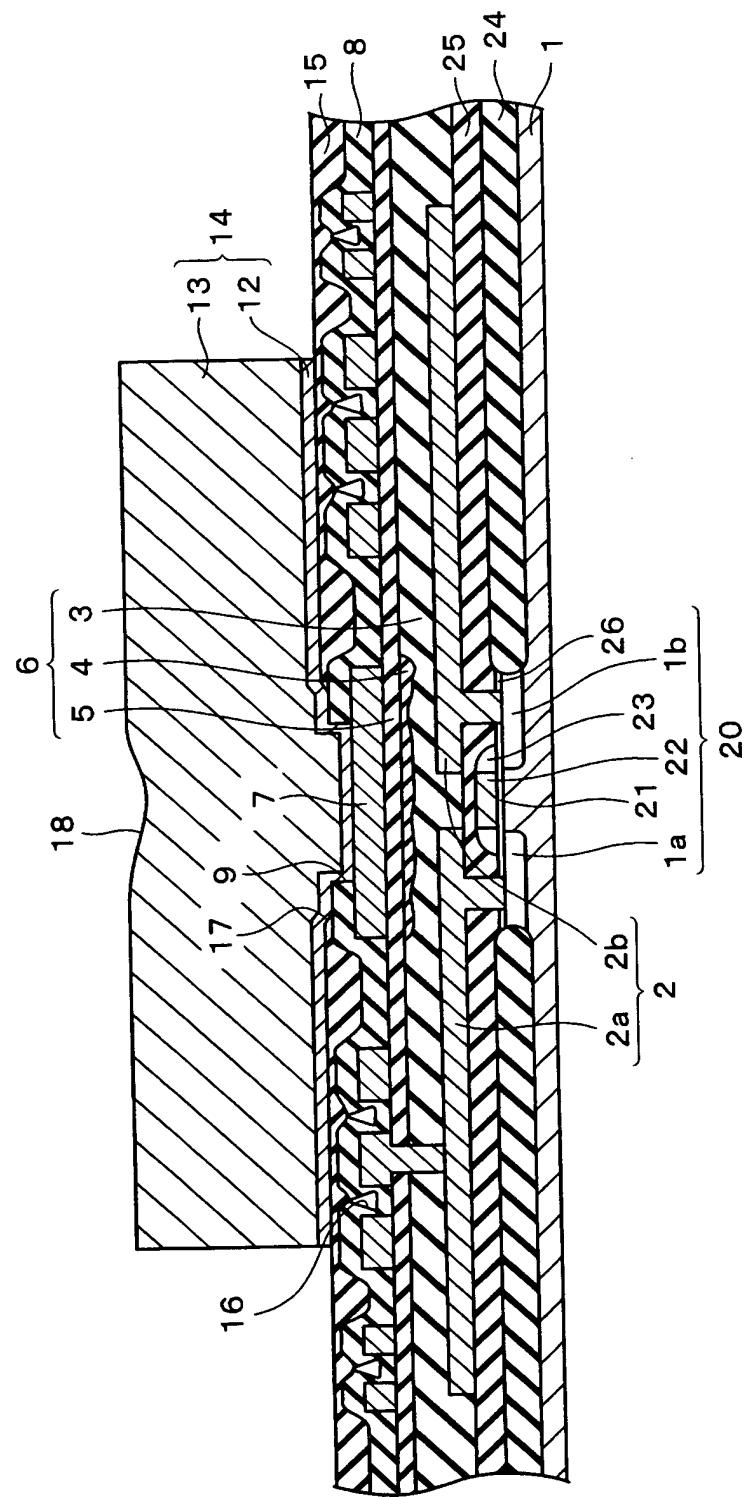
17 開口部

20 半導体素子

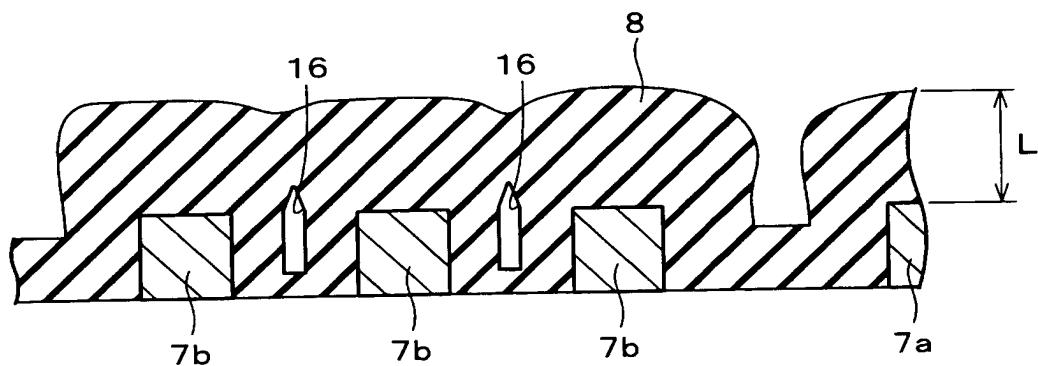
30 C V D酸化膜

【書類名】 図面

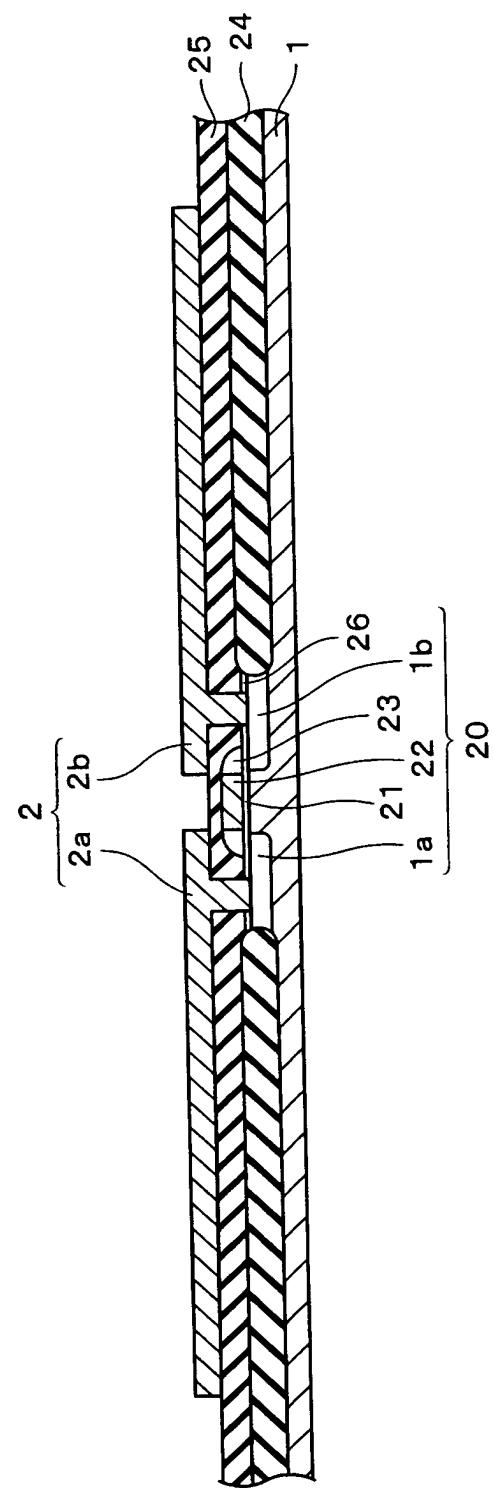
【図1】



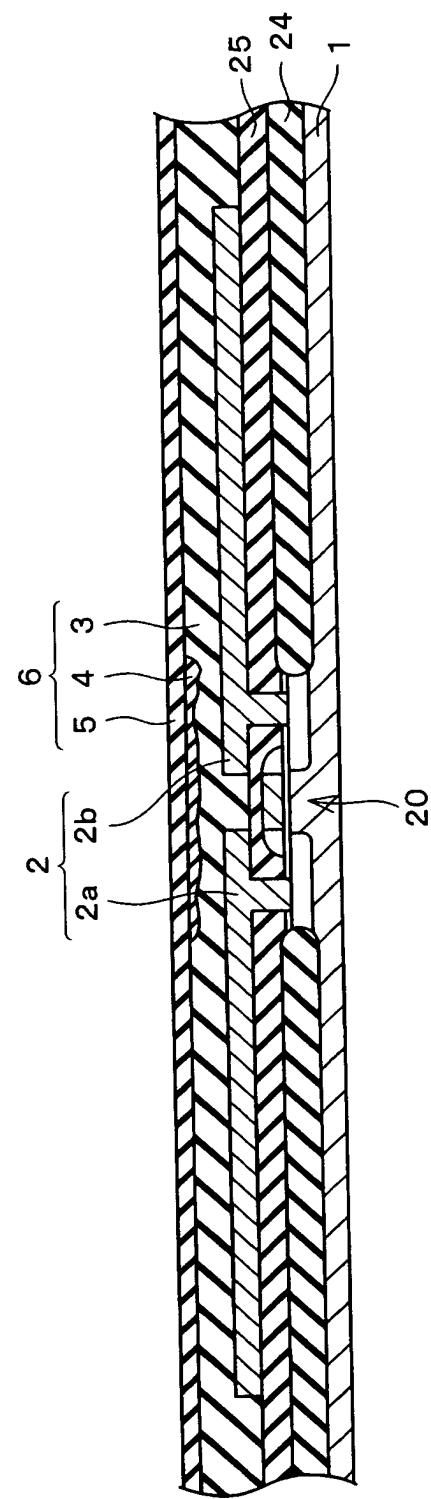
【図2】



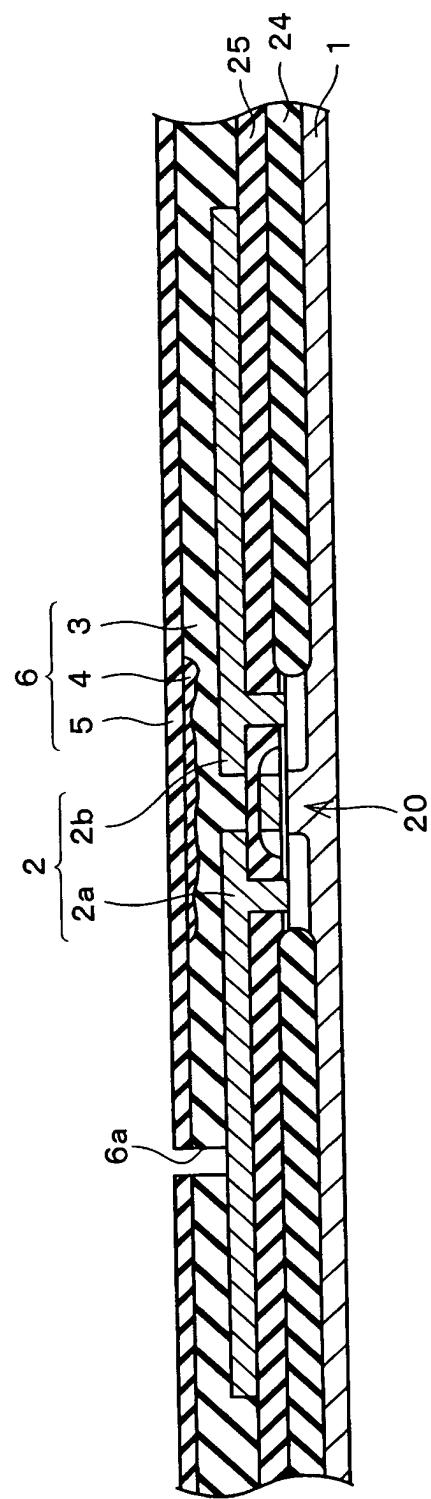
【図3】



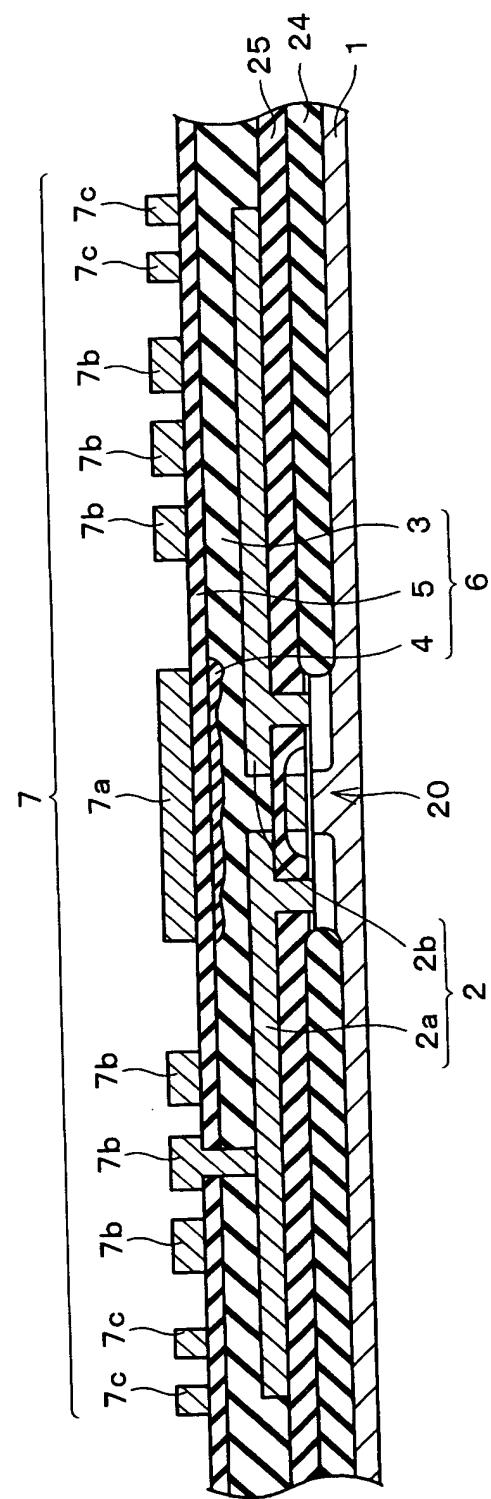
【図4】



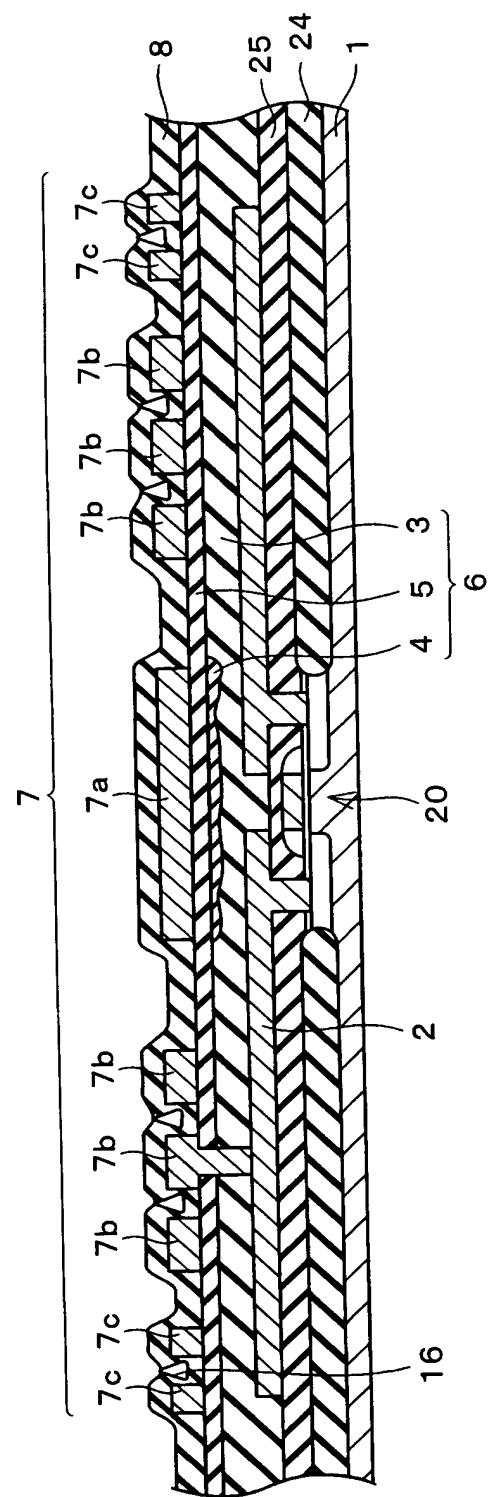
【図 5】



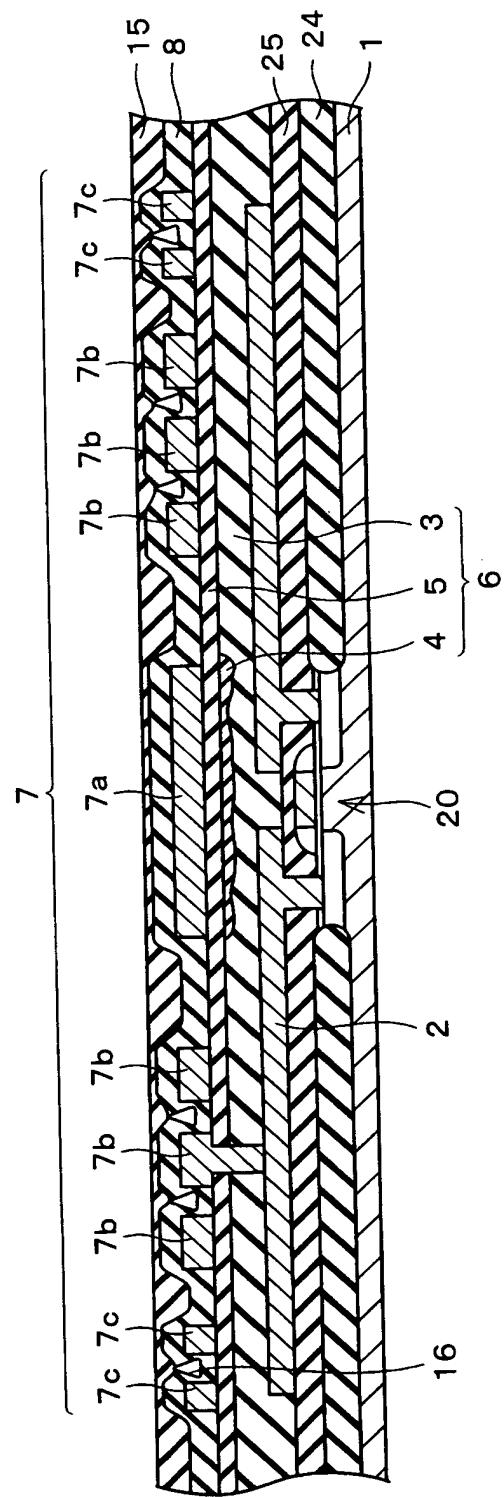
【図6】



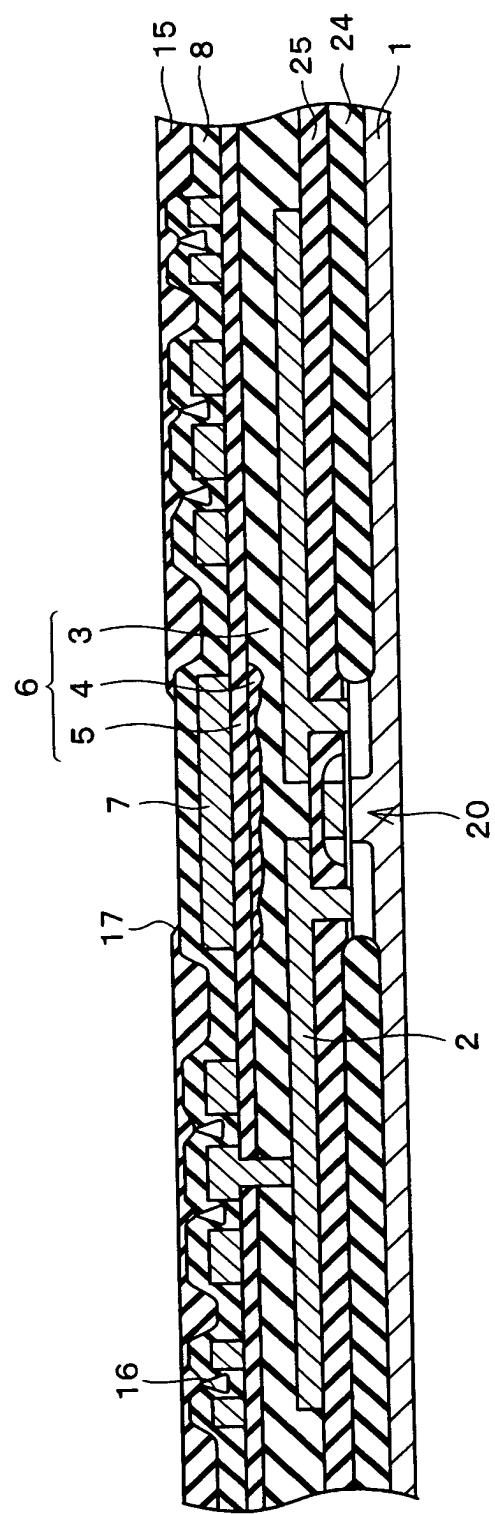
【図 7】



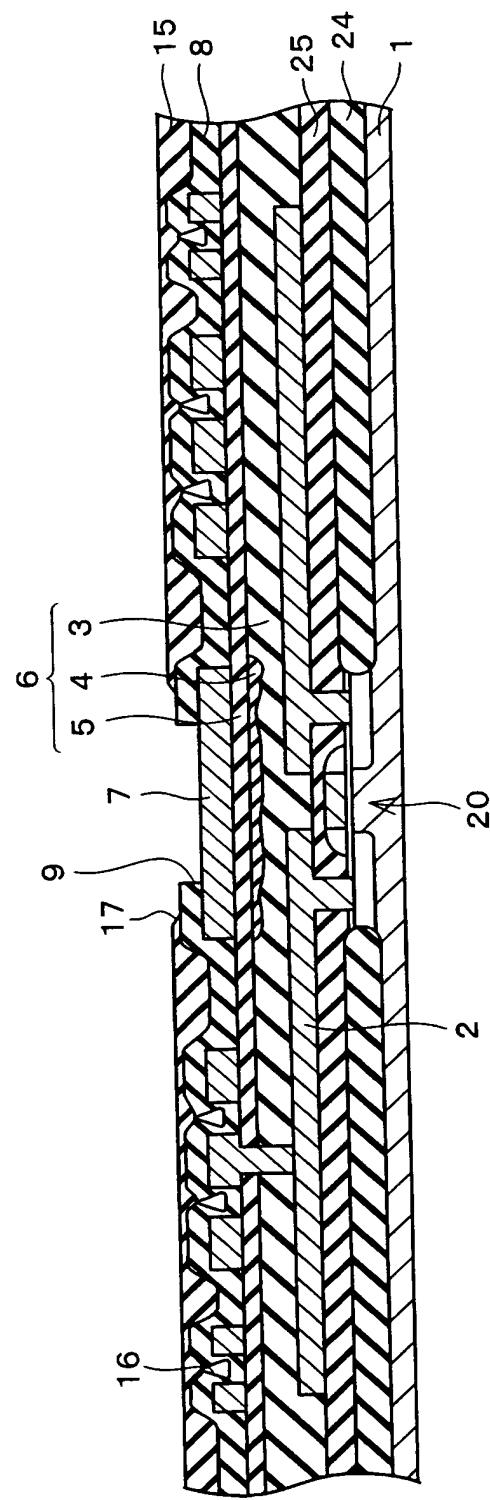
【図 8】



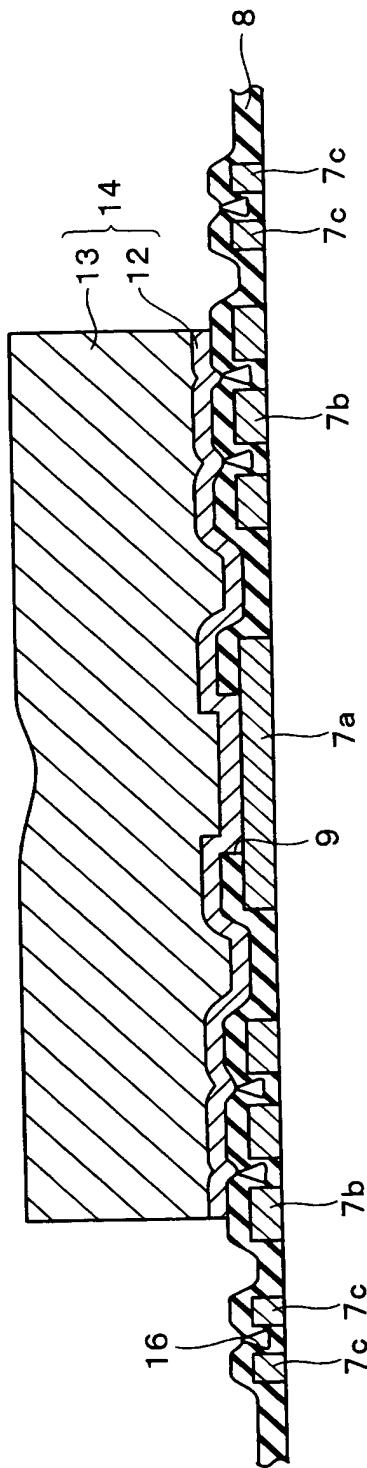
【図9】



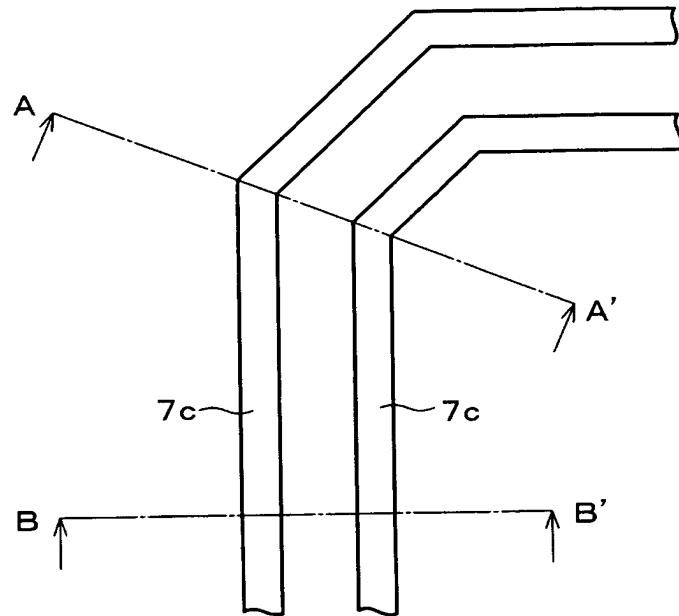
【図10】



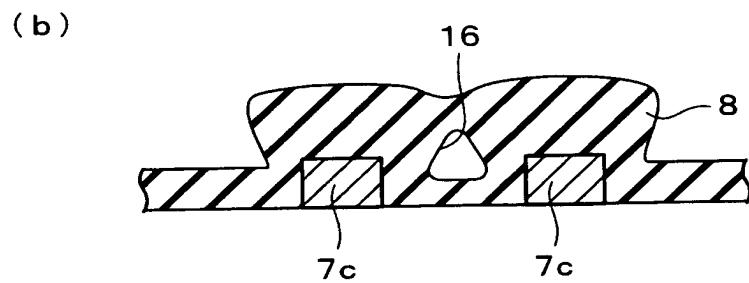
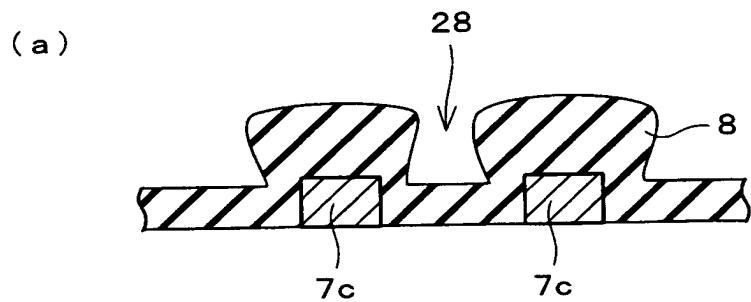
【図11】



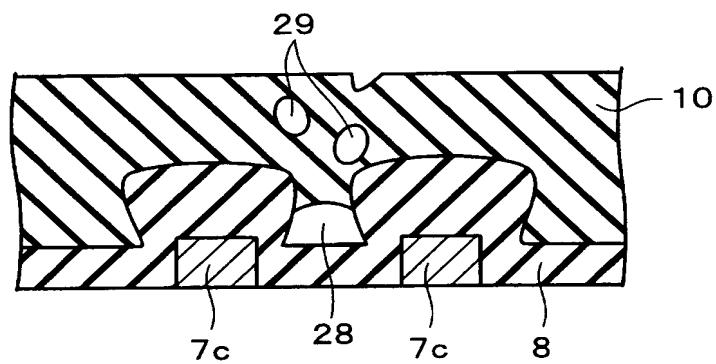
【図12】



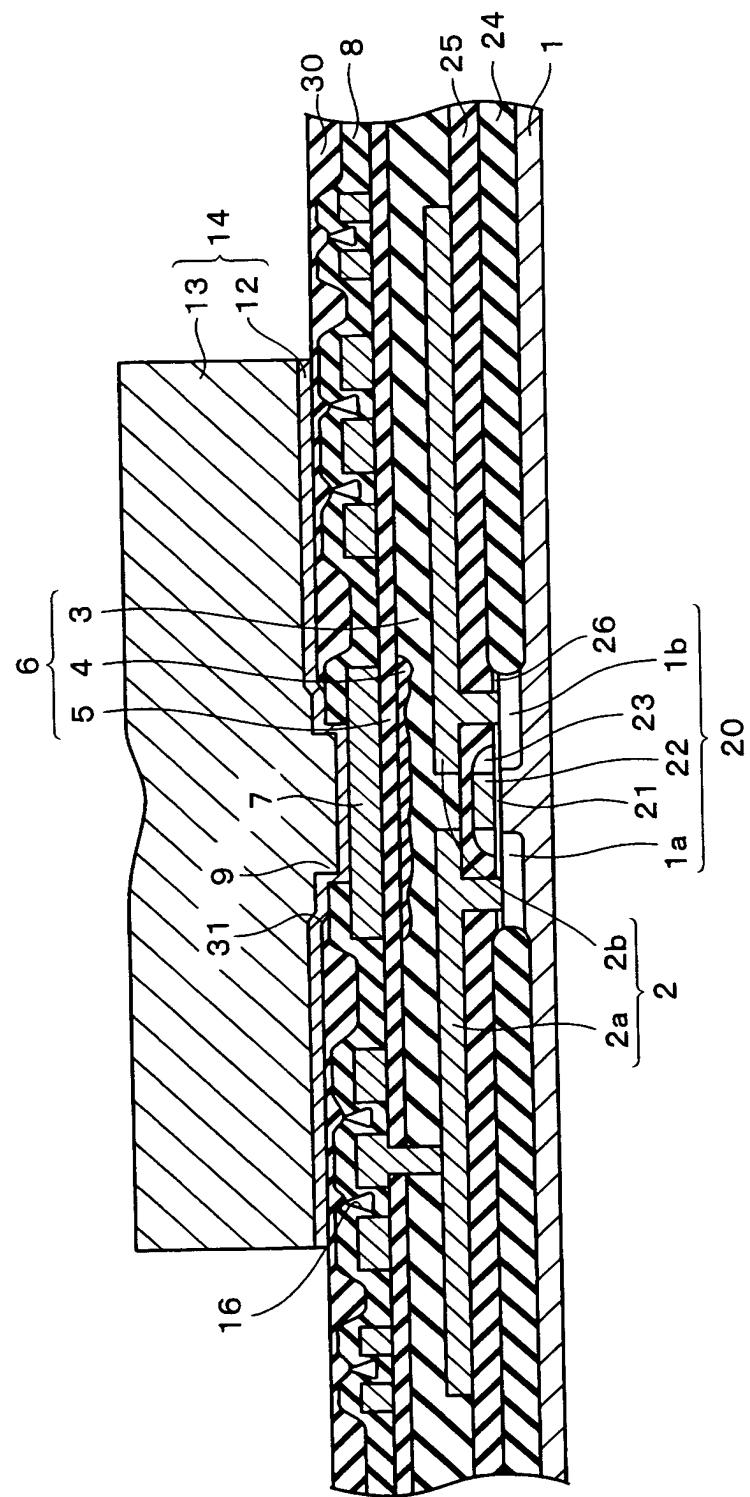
【図13】



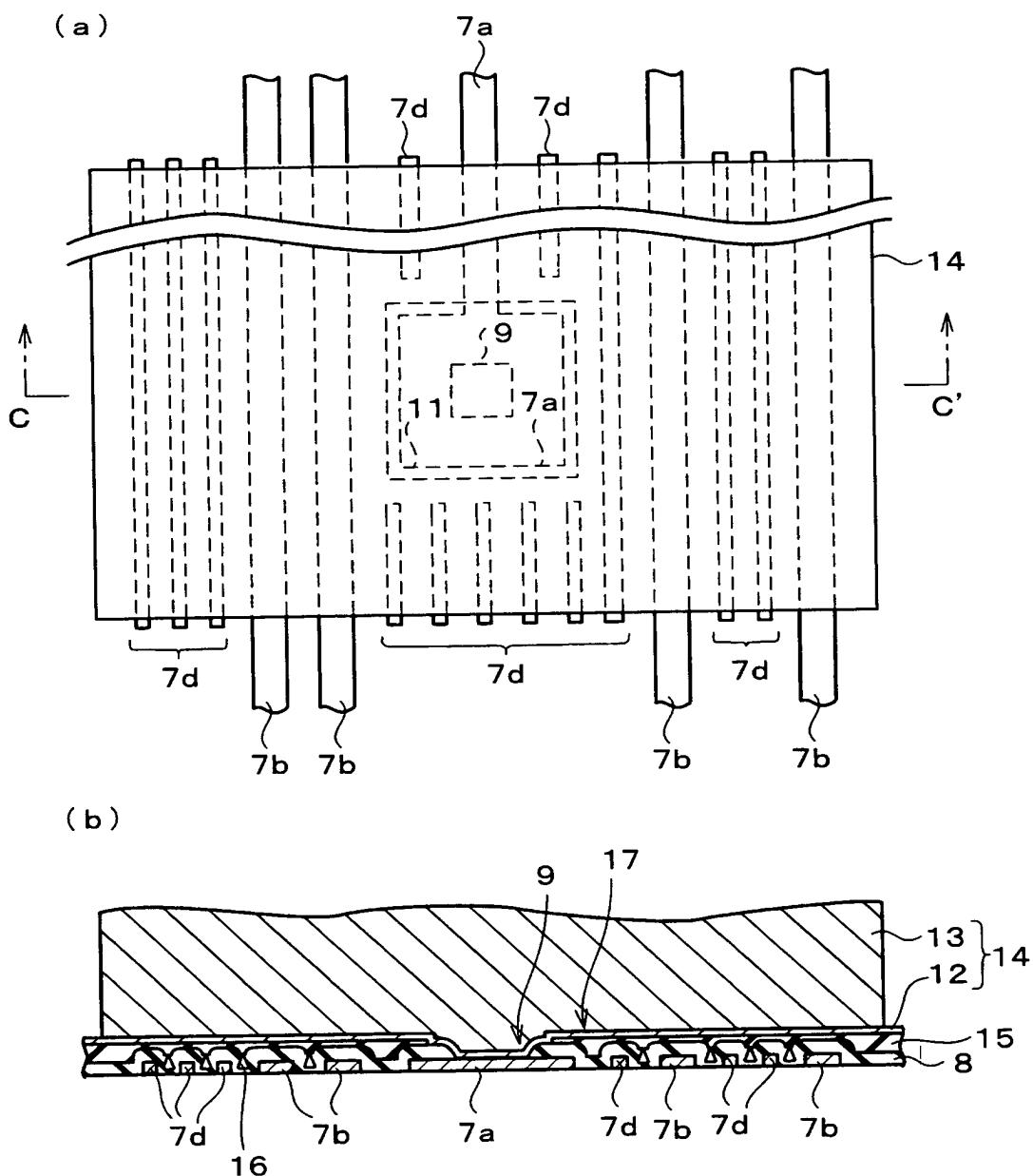
【図14】



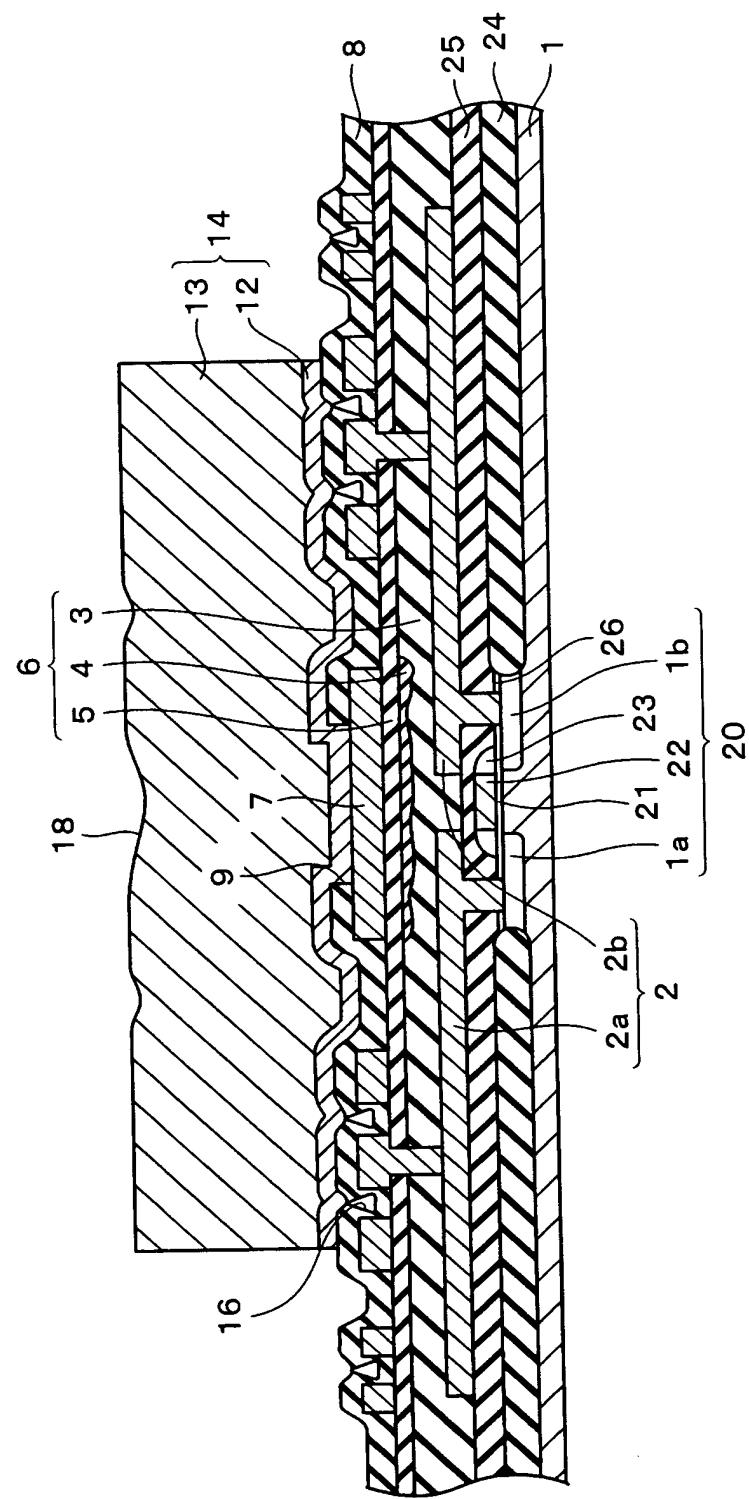
【図15】



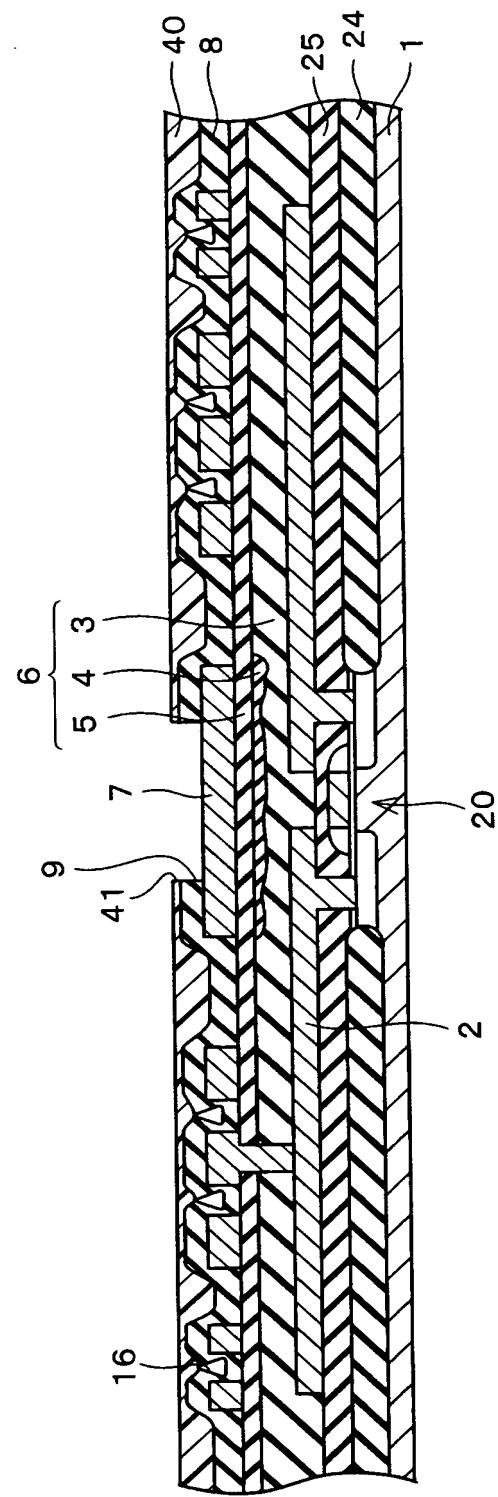
【図16】



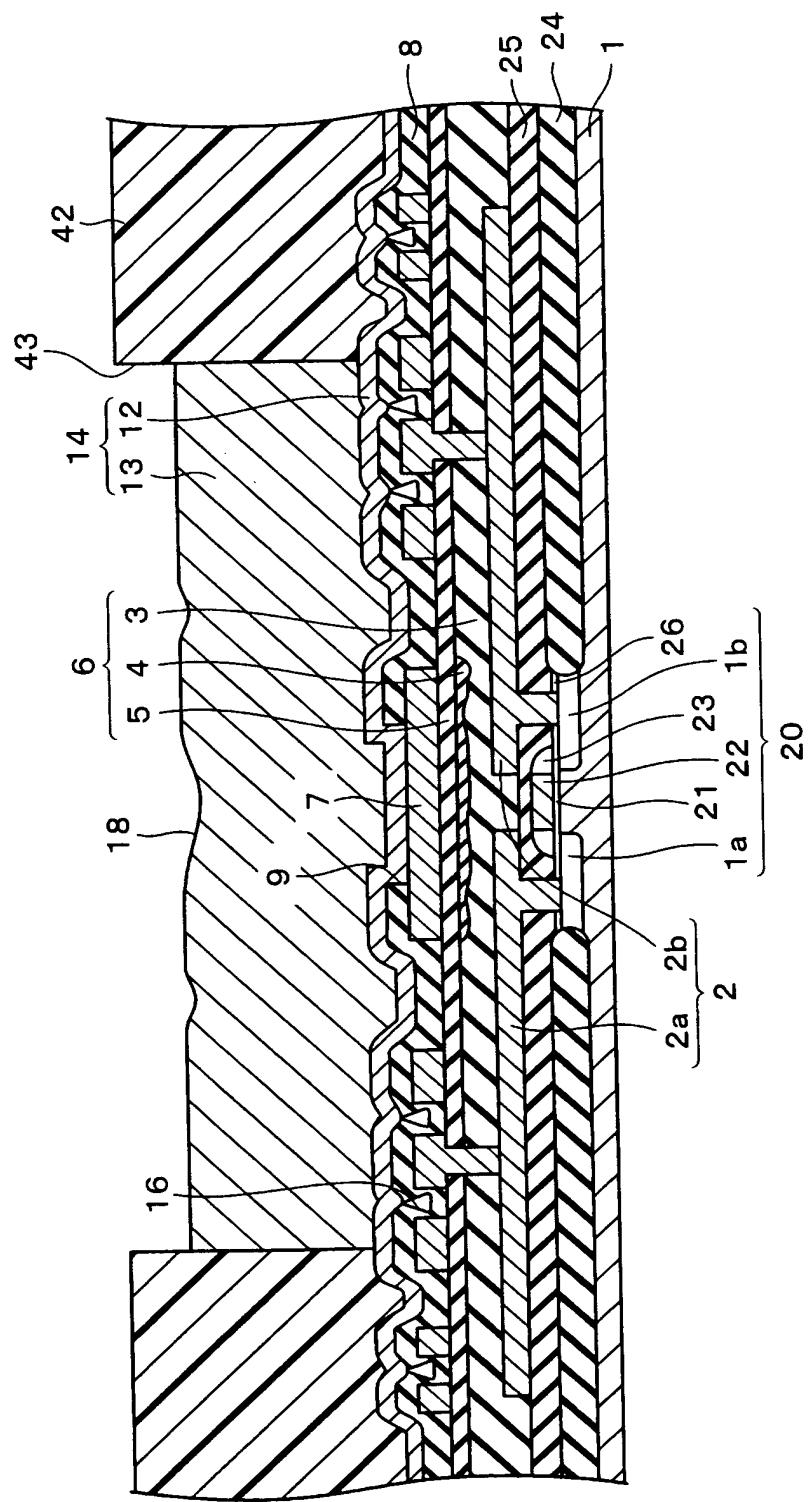
【図17】



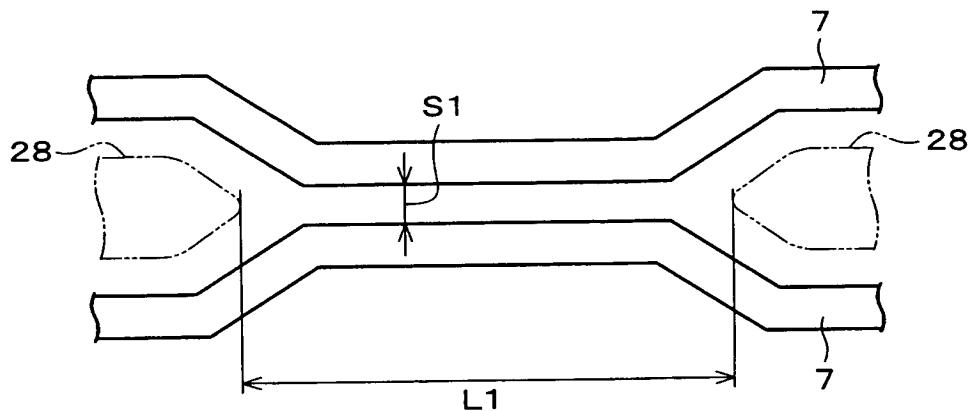
【図18】



【図19】



【図20】



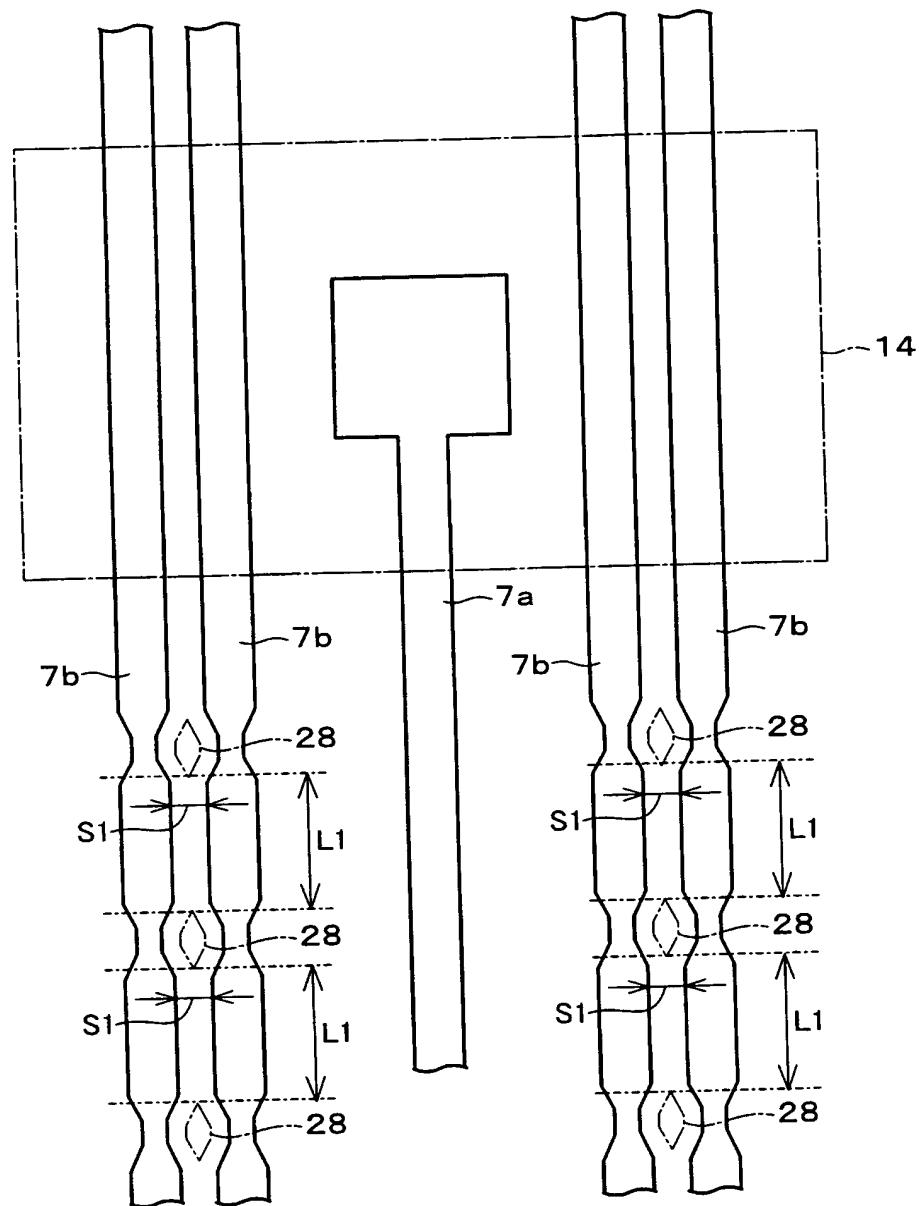
【図21】

保護膜の厚さ : $t = 1.2 \mu m$

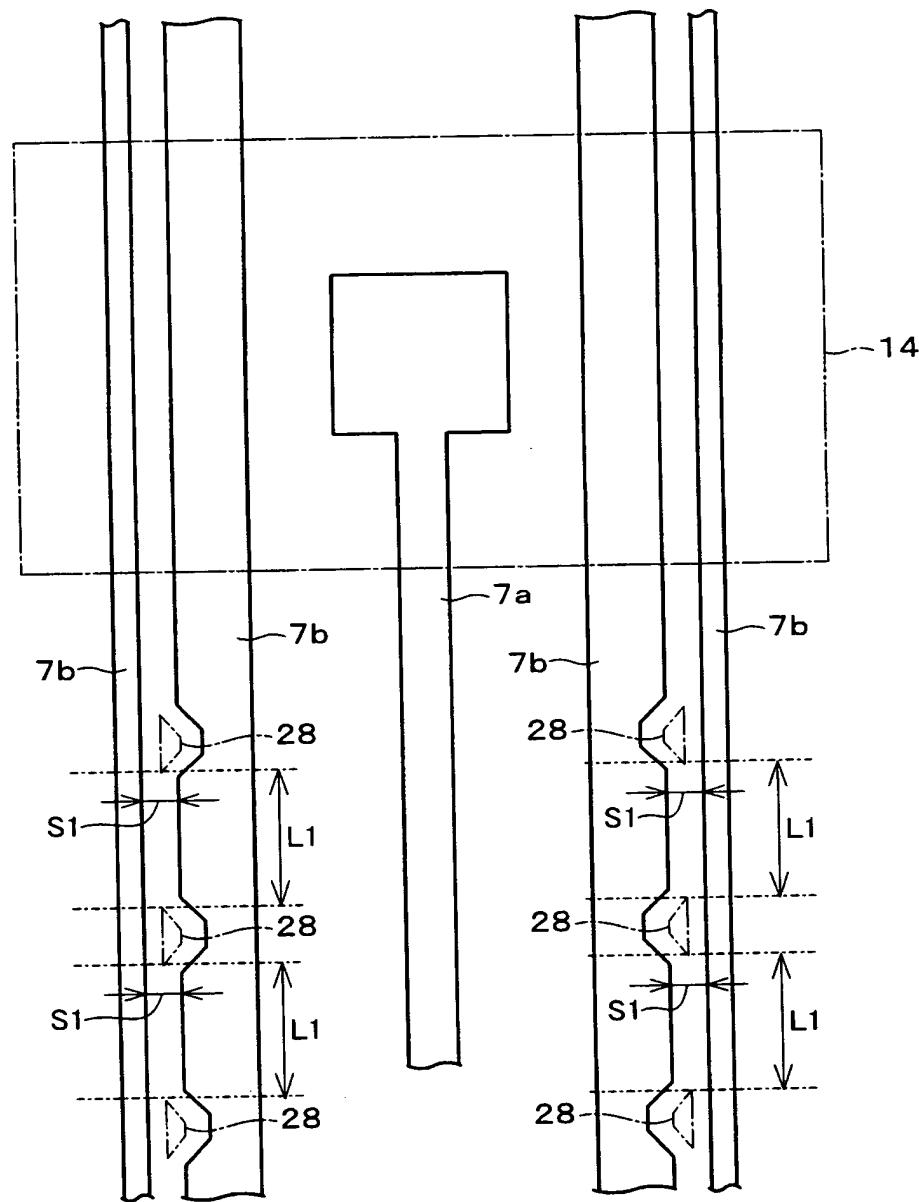
S1 \ L1	400	900	1400	1900
0.8	○	△	×	×
1.2	○	△	△	×
1.5	○	△	△	×
1.8	○	○	○	○

	レジスト材の飛散	フォトレジスト層の膨れ
○	なし	なし
△	なし	あり
×	あり	あり

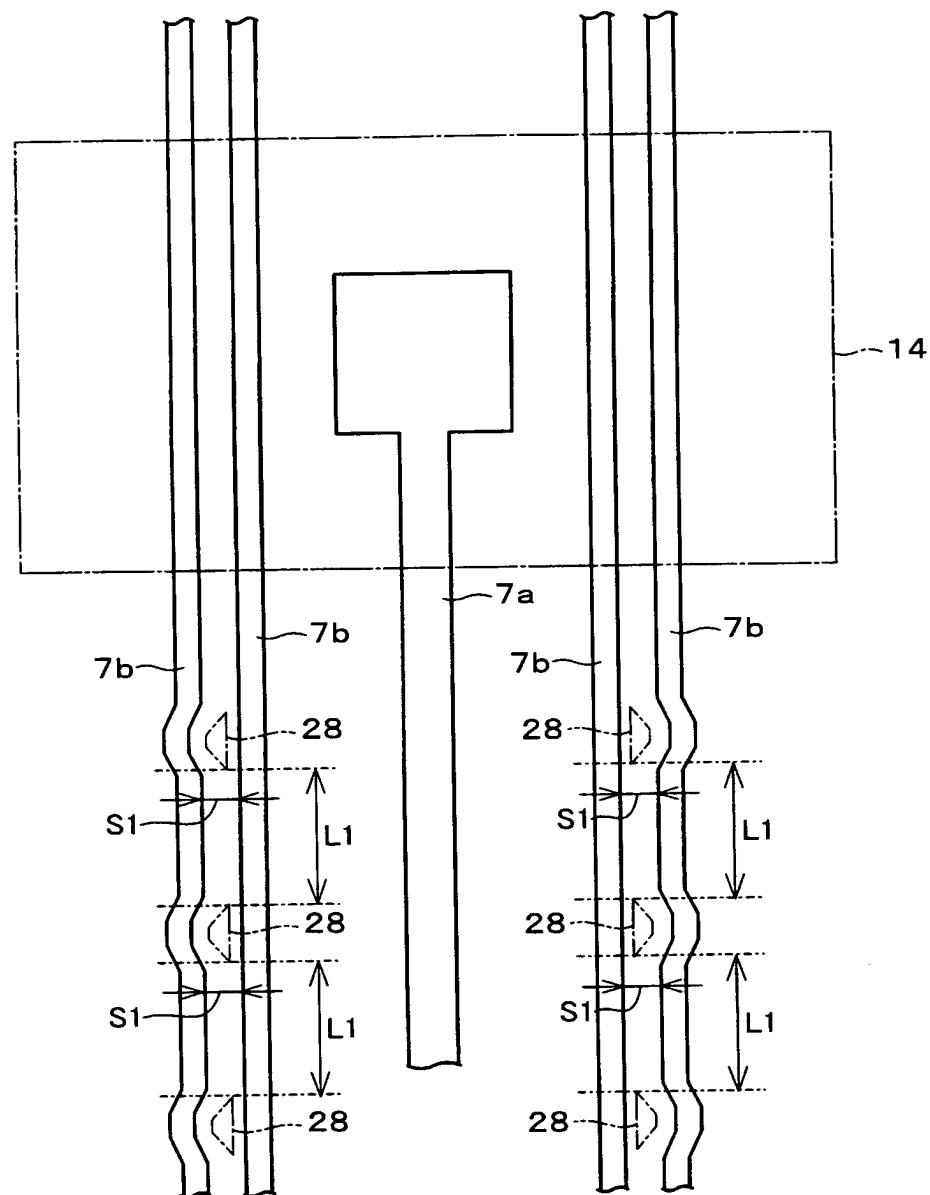
【図22】



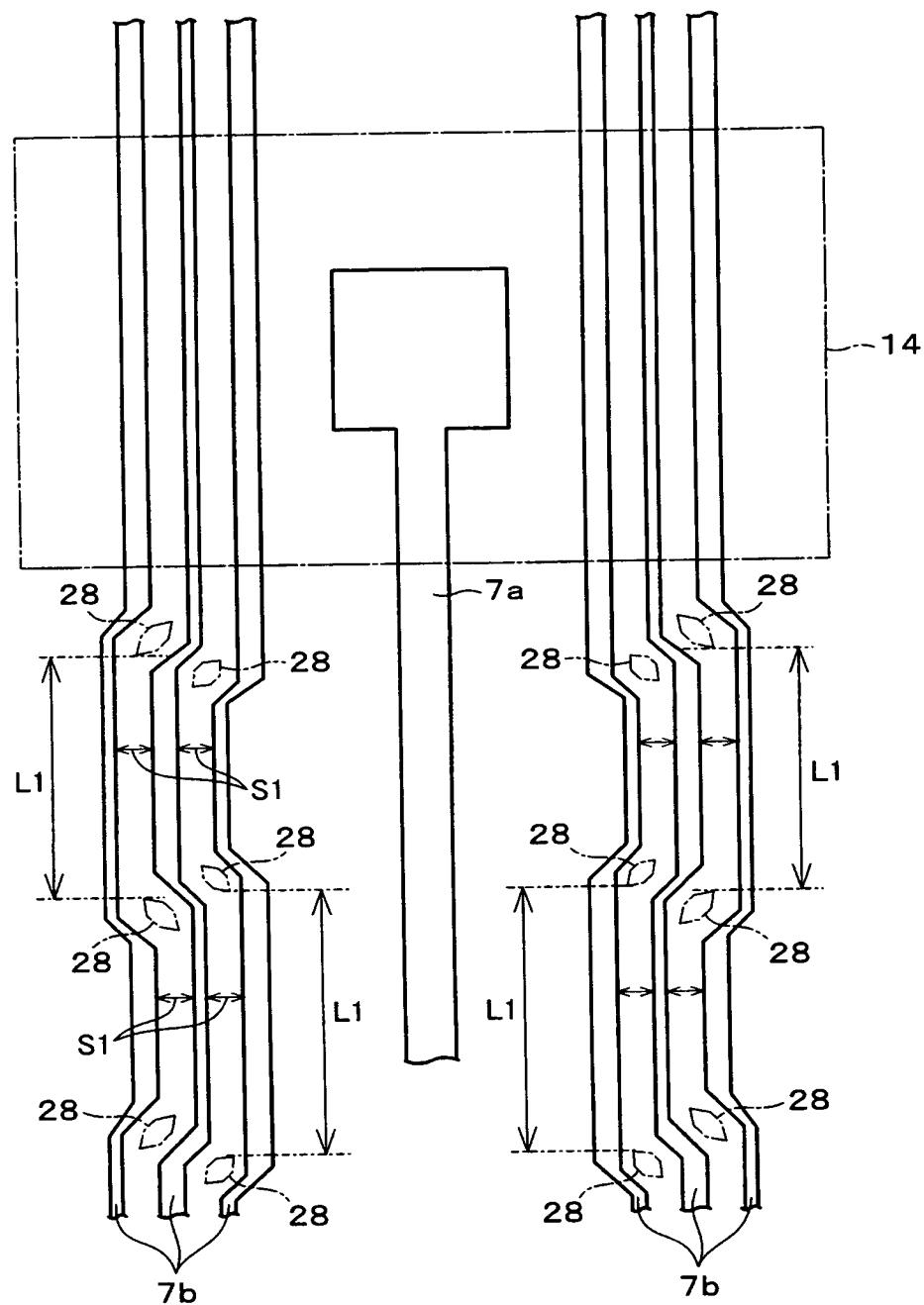
【図23】



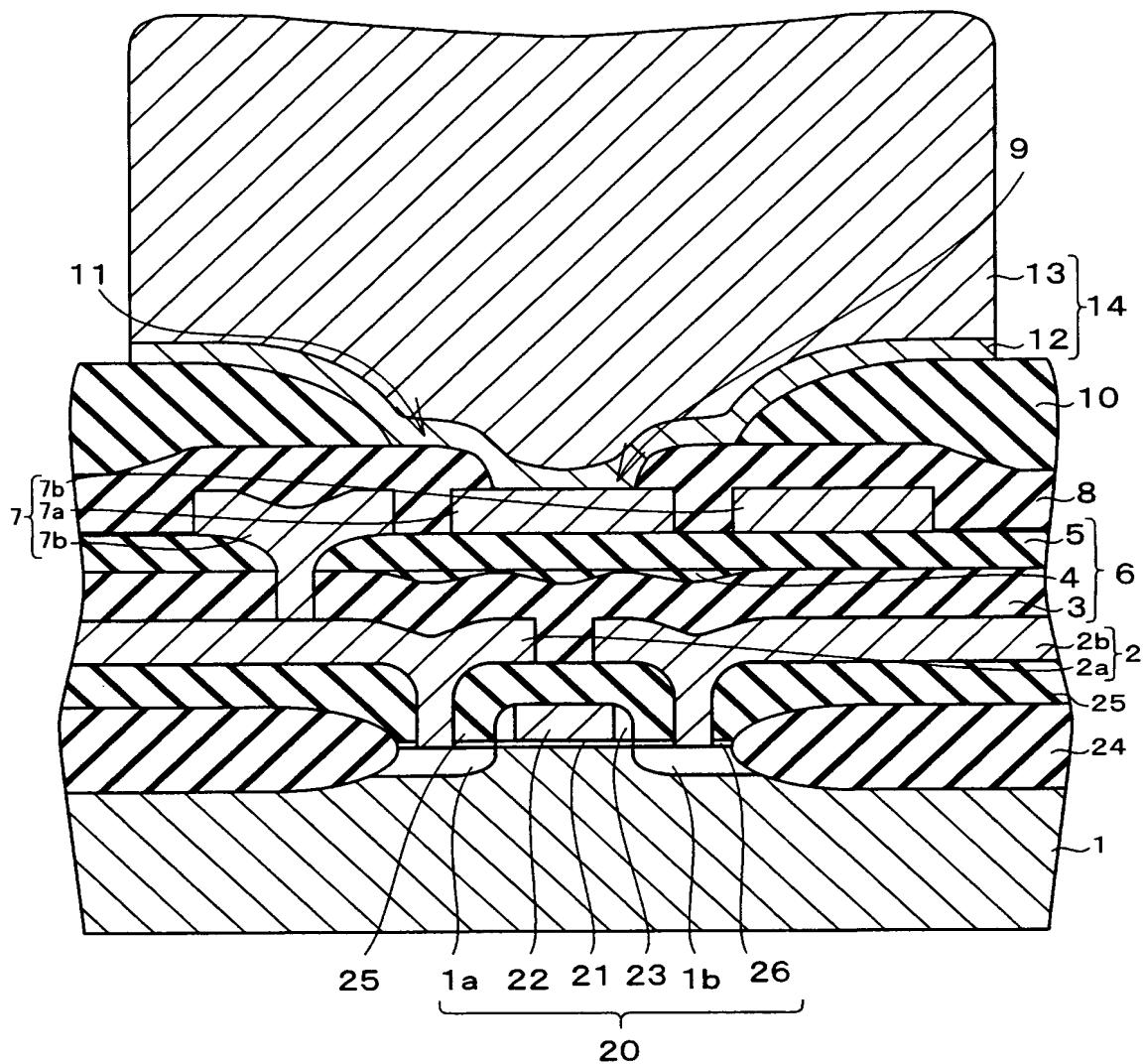
【図24】



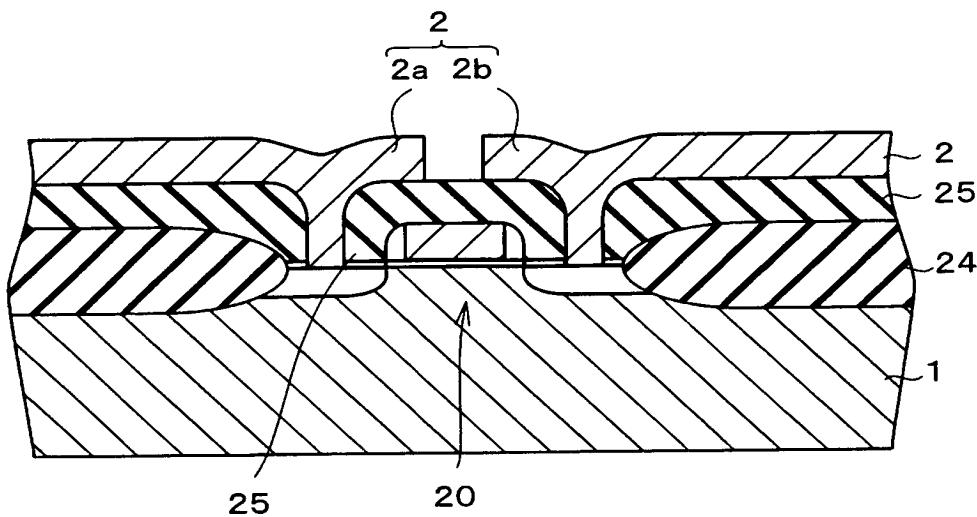
【図25】



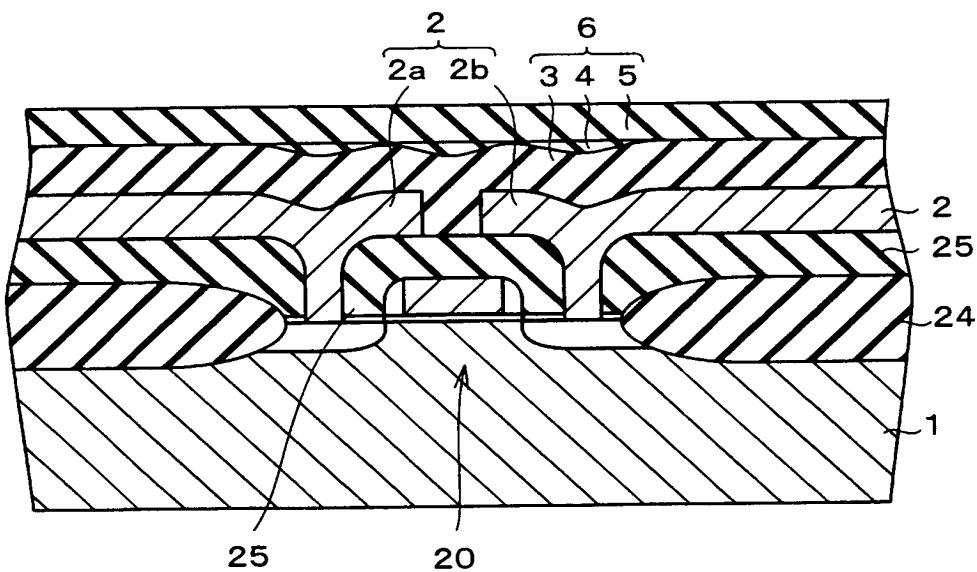
【図26】



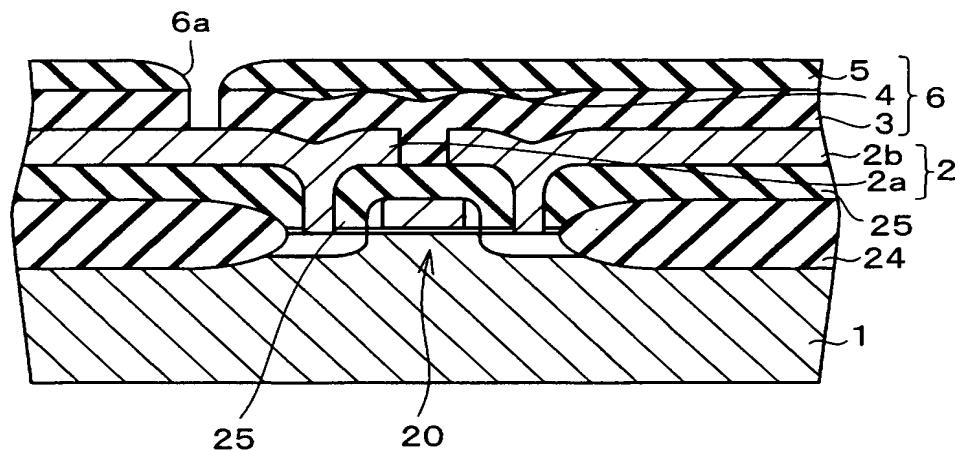
【図27】



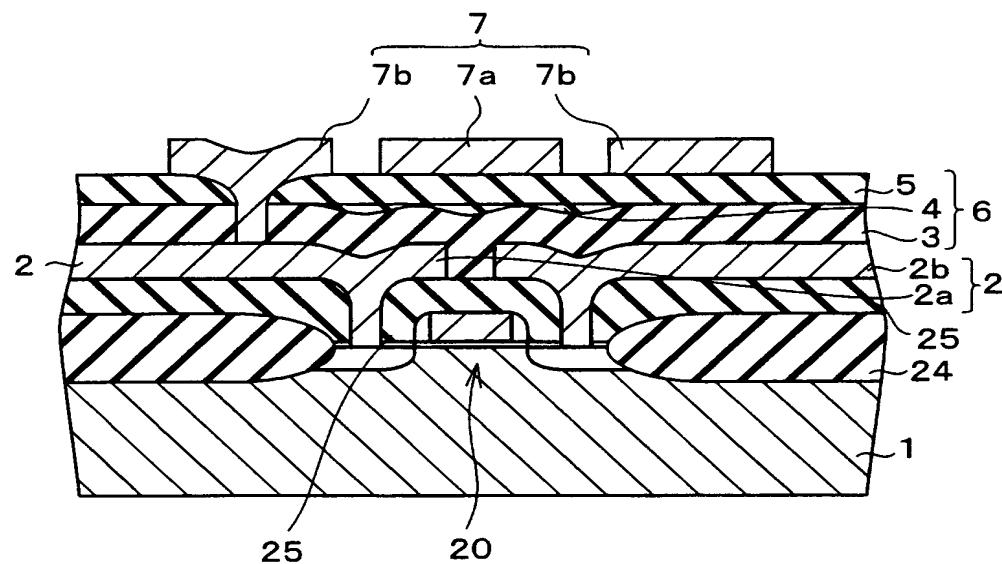
【図28】



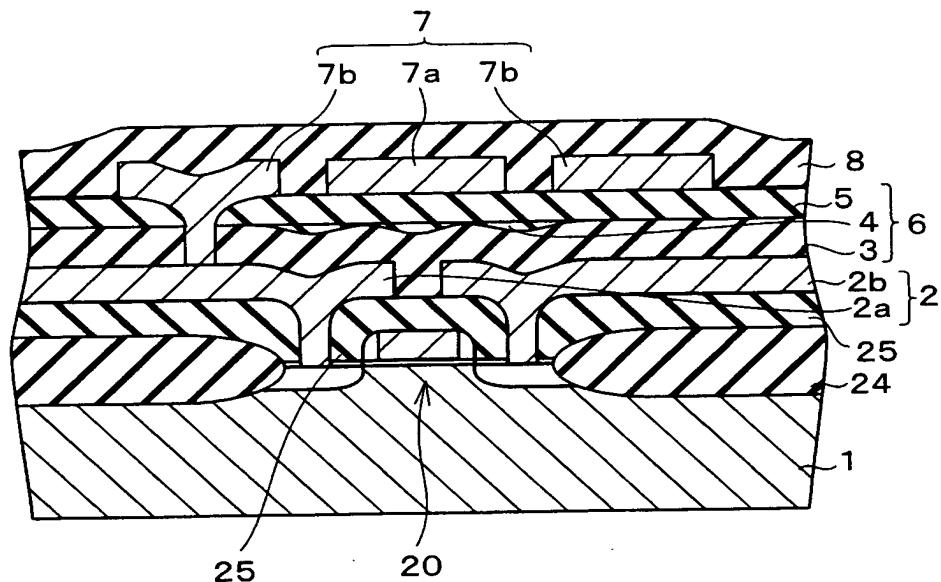
【図29】



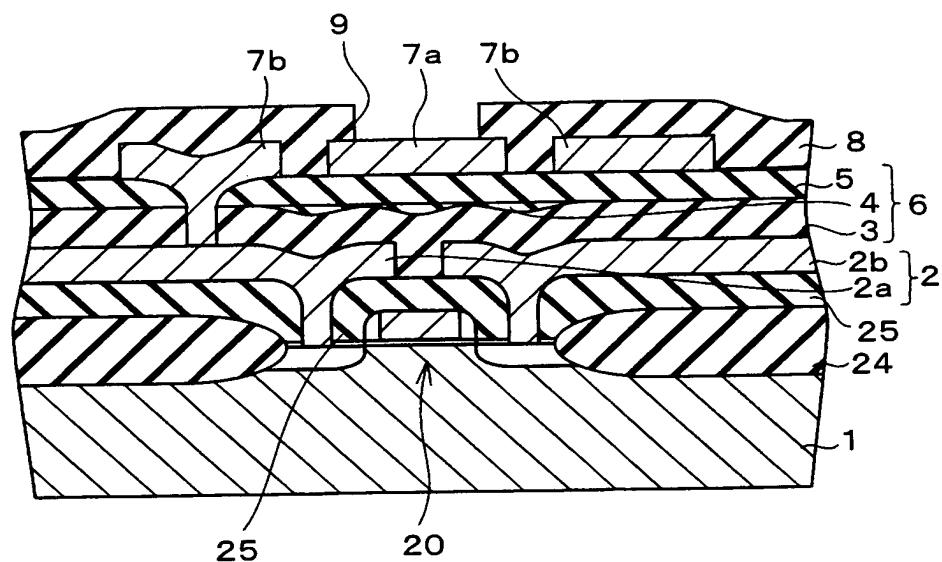
【図30】



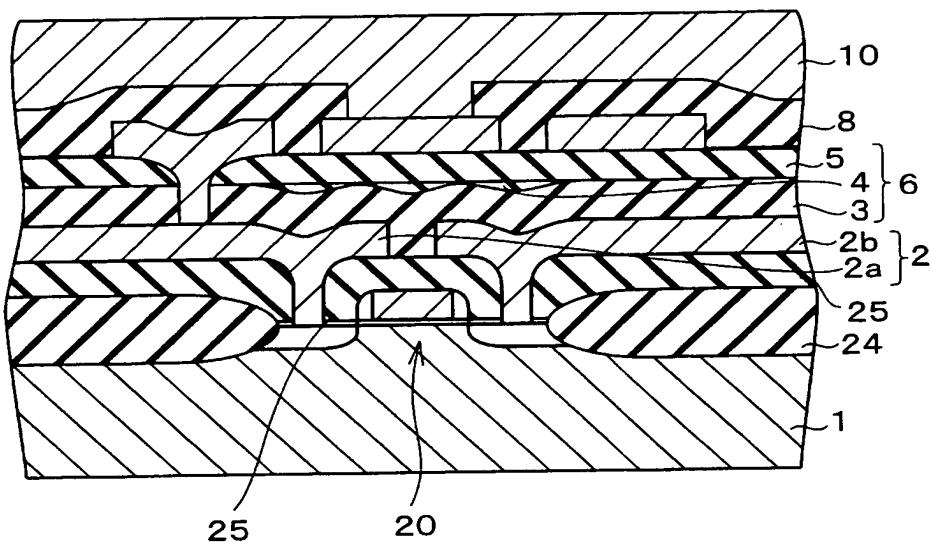
【図31】



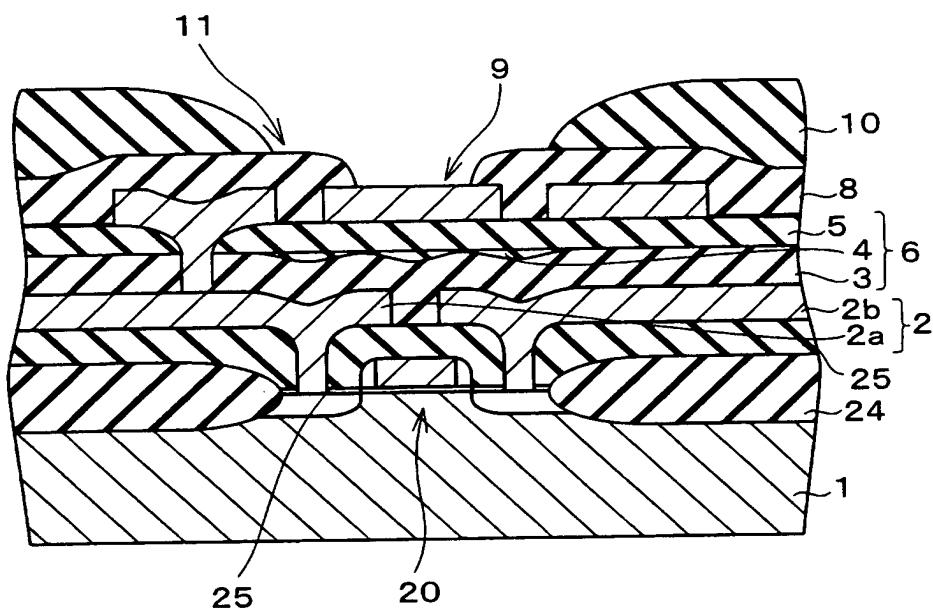
【図32】



【図33】

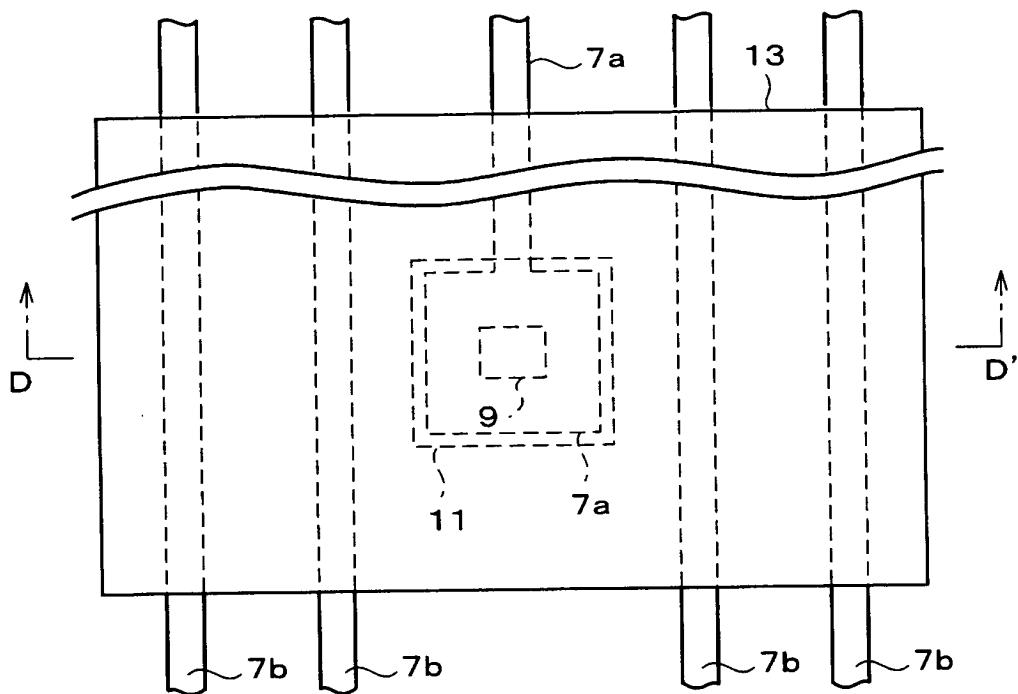


【図34】

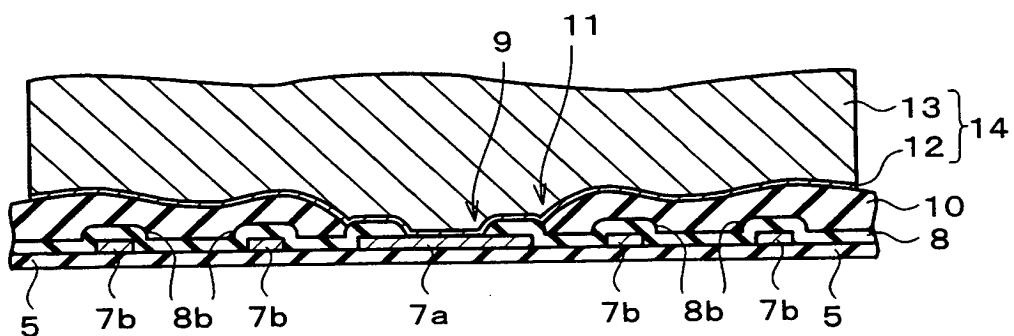


【図3-5】

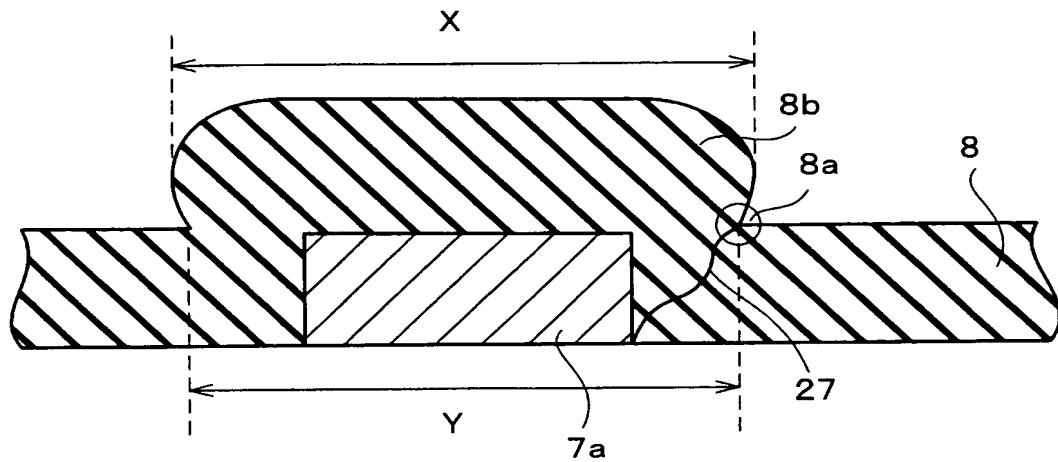
(a)



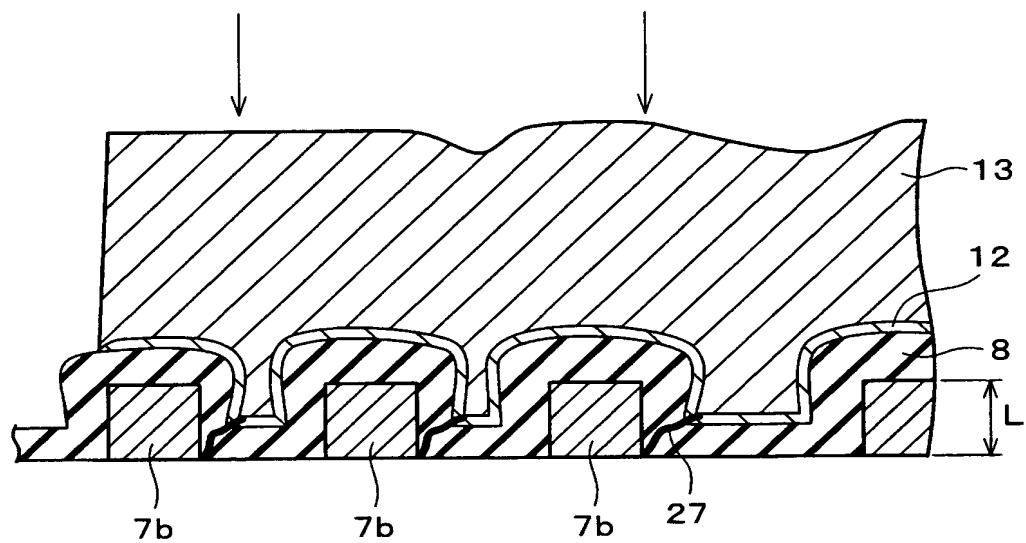
(b)



【図36】



【図37】



【書類名】 要約書

【要約】

【課題】 作業効率の低下やチップコストの上昇を招くことなく、上方からの応力による損傷を防止できる半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置は、複数の配線が形成された導体層7と、導体層7の複数の配線と重なる領域に形成されたボンディングパッド14とを備える。配線の一部がボンディングパッド14と接合される一方、配線の他の部分とボンディングパッド14との間に絶縁性の保護膜8が形成されている。少なくともボンディングパッド14と重なる領域内の上記配線上の保護膜8は、隣合う配線上の保護膜8と橋架している。

【選択図】 図1